



# AK4490R

## Quality Oriented 32-Bit 2ch DAC

### 1. 概要

AK4490Rは、VELVET SOUND™テクノロジーを採用した 32-bit 2ch Premium DAC です。歪低減技術により業界最高水準の低歪特性を実現し、OSR-Doubler 技術により広い信号帯域・低帯域外ノイズ特性と低消費電力を両立しました。また、6種類のサウンドカラー(32-bit Digital Filter)を内蔵しているため、様々なアプリケーションで柔軟かつ容易に音質作りが可能です。デジタル入力は最大 768 kHz の PCM 入力と 11.2 MHz の DSD 入力に対応し、ネットワークオーディオ、USB-DAC 等で普及の進むハイレゾリューション音源の再生に最適です。

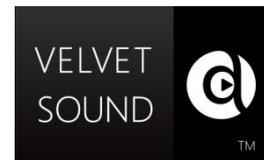
アプリケーション：AVレシーバー、CD/SACD プレイヤー、ネットワークオーディオ、USB DAC、USB ヘッドフォン、Sound Plate/Bar、計測器、制御システム、Public Audio(PA)、IC-Recorder、Bluetooth Headphone、HD Audio/Voice Conference

### 2. 特長

- THD+N : -112 dB
- DR, S/N : 120 dB ( $\pm 2.8$  Vpp), 123 dB (Mono Mode)
- 強ジッタ耐力
- 低歪・低ノイズ高性能差動アンプ出力
- 256倍オーバーサンプリング
- オーディオI/Fフォーマット:
  - 24/32ビット前詰め
  - 16/20/24/32ビット後詰め
  - I<sup>2</sup>S
  - TDM
  - 外部デジタルフィルタI/F(EXDF)
  - DSD
- PCM/DSD, EXDF/DSD 自動切り替え機能
- サンプリング周波数
  - PCM : 8 kHz ~ 768 kHz
  - EXDF : 384 kHz ~ 768 kHz
  - DSD : 64fs, 128fs, 256fs
- PCM32ビット8倍デジタルフィルタ
  - ショートディレイシャープロールオフ, GD = 6.0/fs,
  - ショートディレイスローロールオフ, GD = 5.0/fs
  - シャープロールオフ
  - スローロールオフ
  - 低分散ショートディレイ
  - スーパースローロールオフ
- 32, 44.1, 48 kHz対応デジタルディエンファシス内蔵
- DSDフィルタ
  - Filter1 (fc = 39 kHz, DSD64 Mode)
  - Filter2 (fc = 76 kHz, DSD64 Mode)
- ゲイン調整機能
- 32, 44.1, 48 kHz対応デジタルディエンファシス内蔵
- ソフトミュート
- デジタルアテネータ (255 levels and 0.5 dB step + mute)
- Mono Mode
- マスタクロック

fs = 8 kHz ~ 32 kHz : 256fs, 384fs, 512fs, 768fs, 1152fs  
fs = 32 kHz ~ 54 kHz : 256fs, 384fs, 512fs, 768fs  
fs = 54 kHz ~ 108 kHz : 256fs, 384fs  
fs = 108 kHz ~ 216 kHz : 128fs, 192fs  
fs = 216 kHz ~ 388 kHz : 32fs, 48fs, 64fs, 96fs  
fs = 388 kHz ~ 776 kHz : 16fs, 32fs, 48fs, 64fs

- 3線式、I<sup>2</sup>C-busインターフェース対応
- デジタル入力レベル: CMOS
- 電源電圧:
  - LDO使用時(LDOE pin = “H”) TVDD = AVDD = 3.0 ~ 3.6 V, VDDL/R = 4.75 ~ 5.25 V
  - LDO不使用時(LDOE pin = “L”) TVDD = AVDD = 1.7 ~ 3.6 V, VDDL/R = 4.75 ~ 5.25 V  
DVDD = 1.7V ~ 1.98 V
- 動作温度: -40 ~ 85 °C
- パッケージ: 48-pin LQFP



## 3. 目次

1.	概要 .....	1
2.	特長 .....	1
3.	目次 .....	3
4.	ブロック図と機能説明 .....	5
5.	ピン配置と機能説明 .....	6
	■ ピン配置 .....	6
	■ ピン機能説明 .....	7
	■ 使用しないピンの処理について .....	9
	■ Pull-up, Pull-down Pin List .....	10
6.	絶対最大定格 .....	10
7.	推奨動作条件 .....	11
8.	電気的特性 .....	12
	■ アナログ特性 .....	12
	■ シャープロールオフ・フィルタ特性 .....	15
	■ スローロールオフ・フィルタ特性 .....	17
	■ ショートディレイ・シャープロールオフフィルタ特性 .....	19
	■ ショートディレイ・スローロールオフフィルタ特性 .....	21
	■ 低分散ショートディレイフィルタ特性 .....	23
	■ DSDフィルタ特性 .....	25
	■ DC特性 .....	25
	■ スイッチング特性 .....	26
	■ タイミング波形 .....	30
9.	機能説明 .....	35
	■ D/A変換モード (PCM, DSD, EXDF Mode) .....	37
	■ D/A変換モード切り替えタイミング .....	38
	■ システムクロック .....	39
	■ オーディオインタフェースフォーマット .....	45
	■ デジタルフィルタ (PCM, DSD Mode) .....	55
	■ ディエンファシスフィルタ (PCM Mode) .....	55
	■ デジタルアテネータ (PCM, DSD, EXDF Mode) .....	56
	■ ゲイン調整機能 (PCM, DSD, EXDF Mode) .....	57
	■ ゼロ検出機能 (PCM, DSD, EXDF Mode) .....	57
	■ LRチャンネル出力信号選択、位相反転機能 (PCM, DSD, EXDF Mode) .....	59
	■ 音質調整機能 (PCM, DSD, EXDF Mode) .....	59
	■ DSD信号フルスケール検出機能 .....	60
	■ PCM/EXDF⇄DSD Mode自動切り替え機能 .....	63
	■ ソフトミュート機能 (PCM, DSD, EXDF Mode) .....	72
	■ LDO .....	73
	■ アナログ出力端子過電流保護機能 .....	73
	■ パワーアップ/ダウン機能 .....	74
	■ パワーダウン・スタンバイ・リセット機能 .....	78
	■ 同期化機能 (PCM, EXDF Mode) .....	81
	■ レジスタコントロールインタフェース .....	83
	■ レジスタマップ .....	87
	■ 詳細説明 .....	88
10.	システム設計 .....	96
	■ システム設計例 .....	96
	■ グランドと電源のデカップリング .....	98
	■ 基準電圧 .....	98
	■ アナログ出力 .....	98

11. パッケージ .....	101
■ パッケージ外形寸法図 .....	101
■ 材質・メッキ仕様 .....	101
■ マーキング .....	102
12. オーダリングガイド .....	103
■ オーダリングガイド .....	103
13. 改訂履歴 .....	103
重要な注意事項 .....	104

4. ブロック図と機能説明

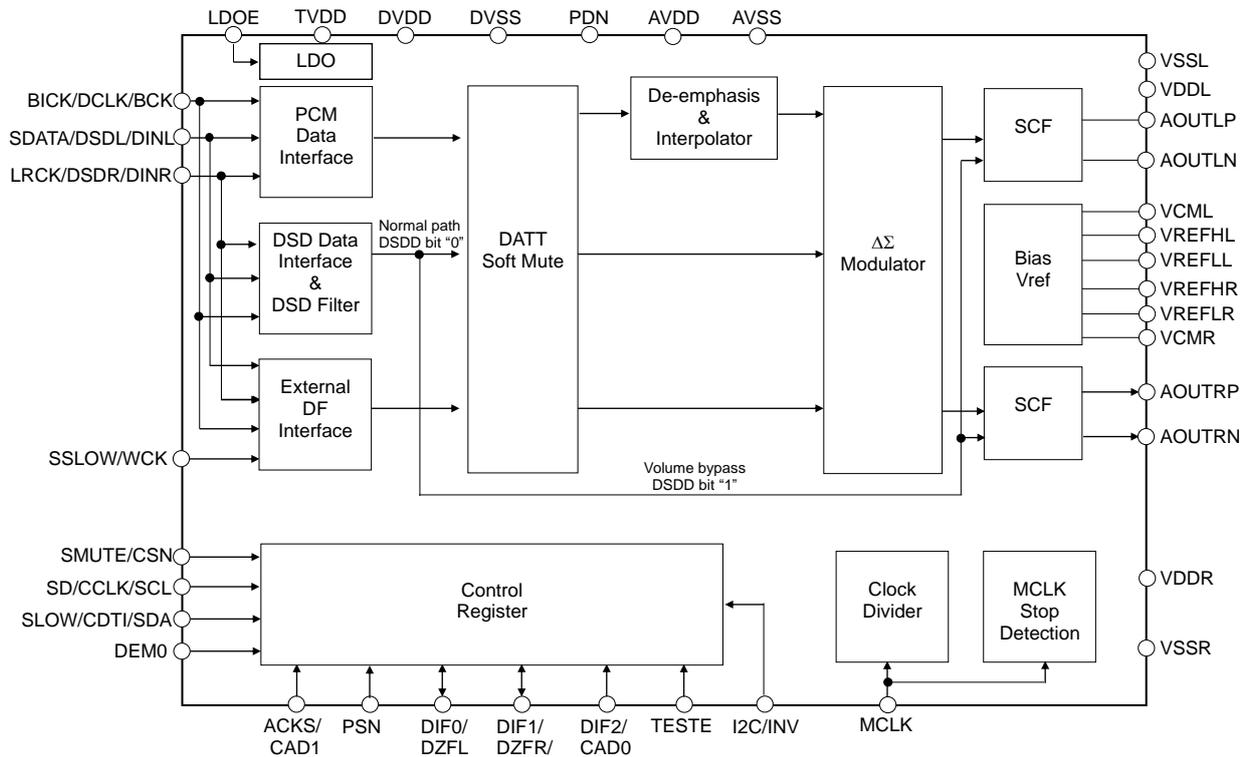


Figure 1. Block Diagram

Block	Function
PCM Data Interface	Execute serial/parallel conversion of SDATA input data by synchronizing with LRCK and BICK and generate TDM output data.
DSD Data Interface	1-bit data that is input from DSDL and DSDR pins is received by synchronizing with DCLK.
DSD Filter	FIR filter that reduces high frequency noise of DSD input data
External DF Interface	Receive external digital filter outputs. Execute serial/parallel conversion of DINL and DINR input data by synchronizing with BICK.
DATT, Soft Mute	Apply Digital Attenuation and Soft Mute process to input data.
De-emphasis & Interpolator	A digital filter that applies De-emphasis process to input data and executes over sampling.
$\Delta\Sigma$ Modulator	Output multi-bit data to SCF. This block consists of a third-order digital delta-sigma modulator.
SCF	Convert multi bit output of $\Delta\Sigma$ Modulator into analog signal. This block consists of the switched capacitor DAC.
Control Register	Keep register settings for each mode. Control registers are accessed in 3-wire (CSN, CCLK, CDTI) or I <sup>2</sup> C-Bus (SCL, SDA) control mode.
Clock Divider	Divide Master Clock In PCM mode, master clock is divided automatically by fs rate auto detection function. In DSD mode, the master clock frequency is set by DCKS bit.
MCLK Stop Detection	It is the detection circuit of MCLK input or no input.
Bias, Vref	It outputs common voltage VCML/R that is generated by reference voltage VREFHL/R and VREFLL/R.
LDO	It is the power supply circuit for internal digital circuit. Its power supply voltage is typical 1.8 V.

5. ピン配置と機能説明

■ ピン配置

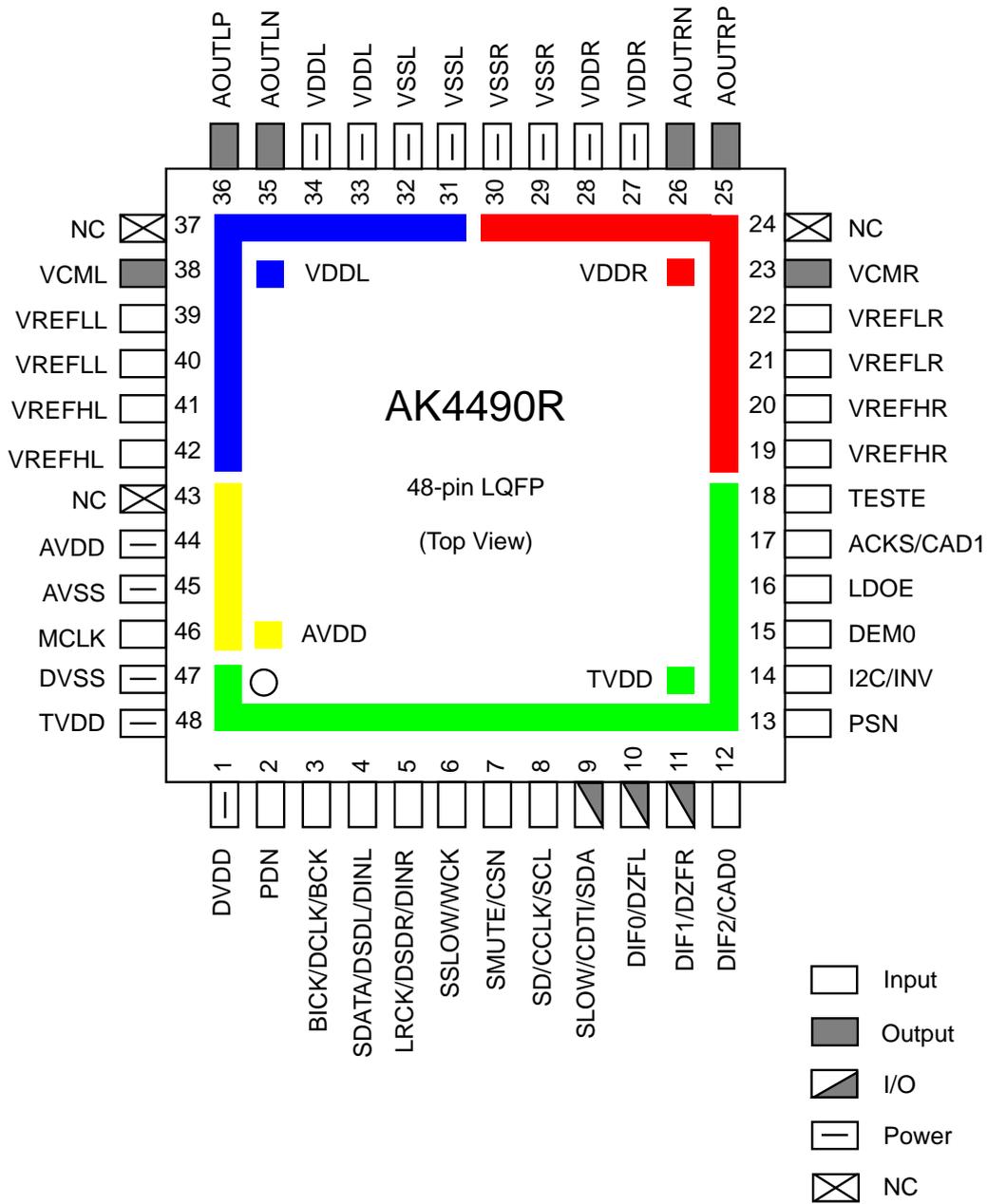


Figure 2. ピン配置図

## ■ ピン機能説明

No.	Pin Name	I/O	Protection Diode	Function	Power Down State
1	DVDD	O	-	(LDOE pin = "H") LDO Output Pin, this pin should be connected to DVSS with 1.0 $\mu$ F ( $\pm$ 50 %). This pin is prohibited to connect other devices.	Pull-Down to DVSS (500 $\Omega$ )
		-		(LDOE pin = "L") 1.8 V Power Input Pin	Hi-Z
2	PDN	I	TVDD/DVSS	Power-Up, Power-Down Pin PDN = "L", the AK4490R is in power-down mode and is held in reset. The AK4490R must always be reset upon power-up.	Hi-Z (PDN = "L")
3	BICK	I	TVDD/DVSS	Audio Serial Data Clock Pin in PCM Mode	Hi-Z
	BCK	I		Audio Serial Data Clock Pin in EXDF Mode	
	DCLK	I		DSD Clock Pin in DSD Mode	
4	SDATA	I	TVDD/DVSS	Audio Serial Data Input Pin in PCM Mode	Hi-Z
	DINL	I		Lch Audio Serial Data Input Pin in EXDF Mode	
	DSDL	I		DSD Lch Data Input Pin in DSD Mode	
5	LRCK	I	TVDD/DVSS	L/R Clock Pin in PCM Mode	Hi-Z
	DINR	I		Rch Audio Serial Data Input Pin in EXDF Mode	
	DSDR	I		DSD Rch Data Input Pin in DSD Mode	
6	SSLOW	I	TVDD/DVSS	Digital Filter Select Pin in Pin Control Mode	Hi-Z
	WCK	I		Word Clock input pin in EXDF Mode	
7	SMUTE	I	TVDD/DVSS	When this pin is changed to "H", soft mute cycle is initiated in Pin Control Mode. When returning "L", the output mute releases.	Hi-Z
	CSN	I		Chip Select Pin in Register Control Mode	
8	SD	I	- /DVSS	Digital Filter Select Pin in Pin Control Mode	Hi-Z
	CCLK	I		Control Data Clock Pin in Register Control Mode	
	SCL	I		I2C = "H": Control Data Clock Input Pin	
9	SLOW	I	- /DVSS	Digital Filter Select Pin in Pin Control Mode	Hi-Z
	CDTI	I		Control Data Input Pin in Register Control Mode	
	SDA	I/O		I2C = "H": Control Data Input Pin	
10	DIF0	I	TVDD/DVSS	Digital Input Format 0 Pin in Pin Control Mode	Pull-Down to DVSS (100 k $\Omega$ )
	DZFL	O		Lch Zero Input Detect Pin in Register Control Mode (Internal pull-down pin)	
11	DIF1	I	TVDD/DVSS	Digital Input Format 1 Pin in Pin Control Mode	Pull-Down to DVSS (100 k $\Omega$ )
	DZFR	O		Rch Zero Input Detect Pin in Register Control Mode (Internal pull-down pin)	
12	DIF2	I	TVDD/DVSS	Digital Input Format 2 Pin in Pin Control Mode	Hi-Z
	CAD0	I		Chip Address 0 Pin in Register Control Mode	
13	PSN	I	TVDD/DVSS	Pin Control Mode or Register Control Mode Select Pin (Internal pull-up pin) "L": Register Control Mode, "H": Pin Control Mode	Pull-Up to TVDD (100 k $\Omega$ )
14	INV	I	TVDD/DVSS	L/Rch Output Polarity Select Pin in Pin Control Mode	Hi-Z
	I2C	I		Register Control Interface Pin in Register Control Mode	
15	DEM0	I	TVDD/DVSS	De-emphasis Enable 0 Pin in Pin Control Mode	Hi-Z
16	LDOE	I	TVDD/DVSS	Internal LDO Enable Pin "L": Disable, "H": Enable (Internal pull-up pin)	Pull-Up to TVDD (100 k $\Omega$ )

No.	Pin Name	I/O	Protection Diode	Function	Power Down State
17	ACKS	I	TVDD/DVSS	Auto Setting Mode Select Pin in Pin Control Mode “L”: Manual Setting Mode, “H”: Auto Setting Mode	Hi-Z
	CAD1	I		Chip Address 1 Pin in Register Control Mode	
18	TESTE	I	TVDD/DVSS	Test Mode Enable Pin. This pin should be opened or connected to DVSS. (Internal pull-down pin)	Pull-Down to DVSS (100 kΩ)
19 20	VREFHR	I	VDDR/VSSR	Rch High Level Voltage Reference Input Pin	Hi-Z
21 22	VREFLR	I	VDDR/VSSR	Rch Low Level Voltage Reference Input Pin	Connected to VCMR (5 kΩ)
23	VCMR	-	VDDR/VSSR	Rch Common Voltage Pin, normally connected to VREFLR with a 10 μF electrolytic cap. This pin is prohibited to connect other devices.	Connected to VREFLR (5 kΩ)
24	NC	-	-	No internal bonding. Connect to Analog Ground.	-
25	AOUTRP	O	VDDR/VSSR	Rch Positive Analog Output Pin	Connected to AOUTRN (300 kΩ)
26	AOUTRN	O	VDDR/VSSR	Rch Negative Analog Output Pin	Connected to AOUTRP (300 kΩ)
27 28	VDDR	-	-	Rch Analog Power Supply Pin	-
29 30	VSSR	-	-	Analog Ground Pin	-
31 32	VSSL	-	-	Analog Ground Pin	-
33 34	VDDL	-	-	Lch Analog Power Supply Pin.	-
35	AOUTLN	O	VDDL/VSSL	Lch Negative Analog Output Pin	Connected to AOUTLP (300 kΩ)
36	AOUTLP	O	VDDL/VSSL	Lch Positive Analog Output Pin	Connected to AOUTLN (300 kΩ)
37	NC	-	-	No internal bonding. Connect to Analog Ground.	-
38	VCML	-	VDDL/VSSL	Lch Common Voltage Pin, normally connected to VREFLL with a 10 μF electrolytic cap. This pin is prohibited to connect other devices.	Connected to VREFLL (5 kΩ)
39 40	VREFLL	I	VDDL/VSSL	Lch Low Level Voltage Reference Input Pin	Connected to VCML (5 kΩ)
41 42	VREFHL	I	VDDL/VSSL	Lch High Level Voltage Reference Input Pin	Hi-Z
43	NC	-	-	No internal bonding. Connect to Analog Ground.	-
44	AVDD	-	-	Analog Power Supply Pin, (LDOE pin = “H”) AVDD = 3.0 ~ 3.6 V (LDOE pin = “L”) AVDD = DVDD ~ 3.6 V	-
45	AVSS	-	-	Analog Ground Pin	-
46	MCLK	I	AVDD/AVSS	Master Clock Input Pin	Hi-Z
47	DVSS	-	-	Digital Ground Pin	-
48	TVDD	-	-	Digital Power Supply Pin, (LDOE pin = “H”) TVDD = 3.0 ~ 3.6 V (LDOE pin = “L”) TVDD = DVDD ~ 3.6 V	-

Note 1. All input pins except internal pull-up/down pins must not be left floating.

Note 2. PSN pinでPin/Register modeを切り替えた場合はPDN pin でリセットしてください。

Note 3. PCM mode, DSD mode, EXDF modeの設定はレジスタで行います。

## ■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理してください。

### (1) ピンコントロールモード (PCM modeのみ)

区分	ピン名	状態
Analog	AOUTLP, AOUTLN	オープン
	AOUTRP, AOUTRN	オープン
Digital	TESTE	DVSSに接続 またはオープン

### (2) レジスタコントロールモード

#### 1. PCM Mode

区分	ピン名	状態
Analog	AOUTLP, AOUTLN	オープン
	AOUTRP, AOUTRN	オープン
Digital	WCK, DEM0	DVSSに接続
	TESTE	DVSSに接続 またはオープン
	DZFL, DZFR	オープン

#### 2. DSD Mode

区分	ピン名	状態
Analog	AOUTLP, AOUTLN	オープン
	AOUTRP, AOUTRN	オープン
Digital	WCK, DEM0	DVSSに接続
	TESTE	DVSSに接続 またはオープン
	DZFL, DZFR	オープン

#### 3. EXDF Mode

区分	ピン名	状態
Analog	AOUTLP, AOUTLN	オープン
	AOUTRP, AOUTRN	オープン
Digital	DEM0	DVSSに接続
	TESTE	DVSSに接続 またはオープン
	DZFL, DZFR	オープン

#### 4. I<sup>2</sup>C-Bus使用時

区分	ピン名	状態
Digital	CSN	DVSSに接続

### ■ Pull-up, Pull-down Pin List

区分	ピン名	内部接続先
Pull-up pin (typ = 100 k $\Omega$ )	LDOE, PSN	TVDD
Pull-down pin (typ = 100 k $\Omega$ )	DZFL, DZFR, TESTE	DVSS

### 6. 絶対最大定格

(AVSS = DVSS = VSSL = VSSR = VREFLL = VREFLR = 0 V; Note 4)

Parameter	Symbol	Min.	Max.	Unit	
Power Supplies:	Digital I/O	TVDD	-0.3	4.0	V
	Digital Core	DVDD	-0.3	2.35	V
	Clock Interface	AVDD	-0.3	4.0	V
	Analog	VDDL/R	-0.3	5.55	V
	AVSS – DVSS  (Note 5)	$\Delta$ GND	-	0.3	V
	AVSS – VSSL  (Note 5)	$\Delta$ GND	-	0.3	V
	AVSS – VSSR  (Note 5)	$\Delta$ GND	-	0.3	V
	DVSS – VSSL  (Note 5)	$\Delta$ GND	-	0.3	V
Voltage Reference	“H” voltage reference (Note 6)	VREFHL/R	-0.3	VDDL/R+0.3 or 5.55	V
	“L” voltage reference	VREFLL/R	-0.3	+0.3	V
Input Current, Any Pin Except Supplies		IIN	-	$\pm$ 10	mA
Digital Input Voltage (Note 7)		VIND	-0.3	TVDD+0.3 or 4.0	V
Ambient Temperature (Power supplied)		Ta	-40	85	$^{\circ}$ C
Storage Temperature		Tstg	-65	150	$^{\circ}$ C

Note 4. 電圧は全てグラウンドに対する値です。

Note 5. AVSS, DVSS, VSSL, VSSR は同じグラウンドに接続してください。

Note 6. VREFHL/R pinsに関して、入力電圧のMax値は(VDDL/R + 0.3) Vまたは5.55 Vのどちらか低いほうです。入力電圧のMin値は -0.3 Vです。

Note 7. デジタル入力ピンに関して、入力電圧のMax値は(TVDD + 0.3) Vまたは4.0 Vのどちらか低いほうです。

**注意:** この値を超えた条件で使用した場合、デバイスを破壊することがあります。  
また、推奨動作電圧以上の条件では、通常の動作は保証されません。

## 7. 推奨動作条件

(AVSS = DVSS = VSSL = VSSR = VREFLL = VREFLR = 0 V; Note 4)

Parameter		Symbol	Min.	Typ.	Max.	Unit
Power Supplies	■ LDOE pin = "L"時					
	Digital I/O	TVDD	DVDD	1.8	3.6	V
	Clock Interface	AVDD	DVDD	1.8	3.6	V
	Digital Core	DVDD	1.7	1.8	1.98	V
	Analog	VDDL/R	4.75	5.0	5.25	V
	■ LDOE pin = "H"時					
	Digital I/O	TVDD	3.0	3.3	3.6	V
	Clock Interface	AVDD	3.0	3.3	3.6	V
Voltage Reference (Note 8)	"H" voltage reference	VREFHL/R	VDDL/R-0.5	-	VDDL/R	V
	"L" voltage reference	VREFLL/R	-	VSSL/R	-	V

Note 8. アナログ出力電圧は(VREFHL/R - VREFLL/R)の電圧に比例します。VREFHL/Rは、VDDL/Rと同時にまたは後に立ち上げてください。

Note 9. TVDD, AVDDは同電位としてください。LDO不使用時(LDOE pin = "L")、TVDDはDVDDと同時にまたは先に立ち上げてください。

Note 10. LDOE pin = "H"のとき、内部LDOが1.8 Vを出力します。

**注意:** 本データシートに記載されている条件以外のご使用に関しては、当社では責任を負いかねますので十分ご注意ください。

## 8. 電气的特性

### ■ アナログ特性

#### [1] PCM Mode

(Ta = 25 °C; LDOE pin = "L", AVDD = TVDD = DVDD = 1.8 V; AVSS = DVSS = VSSL/R = 0 V; VREFHL/R = VDDL/R = 5.0 V, VREFLL/R = 0 V; Input data = 24-bit; BICK = 64fs; Signal Frequency = 1 kHz; Input Level = 0 dBFS; Sampling Frequency = 44.1 kHz; Measurement bandwidth = 20 Hz ~ 20 kHz; External Circuit: Example circuit 3 (Figure 81); SC2 bit = "0"; ±2.8 Vpp output mode (GC2-0 bits = "000"); unless otherwise specified.)

Parameter				Min.	Typ.	Max.	Unit
Resolution				-	-	32	Bit
<b>Dynamic Characteristics (Note 11)</b>							
THD+N	fs = 44.1 kHz	BW = 20 kHz	0 dBFS	-	-112	-105	dB
			-60 dBFS	-	-57	-	dB
	fs = 96 kHz	BW = 40 kHz	0 dBFS	-	-111	-	dB
			-60 dBFS	-	-54	-	dB
	fs = 192 kHz	BW = 40 kHz	0 dBFS	-	-111	-	dB
		BW = 80 kHz	-60 dBFS	-	-54	-	dB
	fs = 384 kHz	BW = 40 kHz	0 dBFS	-	-111	-	dB
	fs = 768 kHz	BW = 40 kHz	0 dBFS	-	-111	-	dB
Dynamic Range (-60 dBFS A-weighted) (Note 12)				115	120	-	dB
S/N (A-weighted) (Note 13)		Stereo mode		115	120	-	dB
		Mono mode (Note 16)		-	123	-	dB
Inter-channel Isolation (1 kHz)				110	120	-	dB
<b>DC Accuracy</b>							
Inter-channel Gain Mismatch				-	0.15	0.3	dB
Gain Drift				-	20	-	ppm/°C
Output Voltage (Note 14)				±2.65	±2.8	±2.95	Vpp
Load Resistance (Note 15)				1	-	-	kΩ
Load Capacitance (Note 15)				-	-	25	pF

Note 11. Audio Precision APx555使用。平均値測定。

Note 12. 101dB at 16-bit data

Note 13. S/N比は入力ビット長に依存しません。

Note 14. GC2-0 bits = "000"の時、入力信号が0 dBFS時のアナログ出力電圧は次の式で与えられます。

$$\begin{aligned} \text{AOUTL/R (typ. @ 0 dB)} &= (\text{AOUTLP/RP}) - (\text{AOUTLN/RN}) \\ &= \pm 2.8 \text{ Vpp} \times (\text{VREFHL/R} - \text{VREFLL/R}) / 5.0 \end{aligned}$$

Note 15. Load CapacitanceはDC負荷(DCカット用コンデンサなし)に対して1 kΩ(Min)です。Load Capacitanceはグラウンドに対する値です。アナログ特性は出力ピンに接続される容量性負荷に敏感なため、容量性負荷が極力小さくなるようにしてください。

Note 16. Mono mode時はFigure 82に示す外付け回路を使用しています。

(Ta = 25 °C; AVDD = TVDD = DVDD = 1.8 V, AVSS = DVSS = VSSL/R = 0 V; VREFHL/R = VDDL/R = 5.0 V, VREFLL/R = 0 V; Input data = 24-bit; BICK = 64fs; Signal Frequency = 1 kHz; Input Level = 0 dBFS; Sampling Frequency = 44.1 kHz; SC2 bit = "0"; ±2.8 Vpp output mode (GC2-0 bits = "000"); unless otherwise specified.)

Power Supplies					
Parameter	Min.	Typ.	Max.	Unit	
Power Supply Current					
Normal operation (PDN pin = "H")					
VDDL+VDDR		19	29	mA	
VREFHL+VREFHR		1	1.5	mA	
AVDD	-	1	1.5	mA	
TVDD					
LDOE pin = "L"		1	1.5	mA	
LDOE pin = "H"	fs = 44.1 kHz	7	11	mA	
	fs = 96 kHz	-	11	17	mA
	fs = 192 kHz	-	17	26	mA
DVDD					
LDOE pin = "L"	fs = 44.1 kHz	6	9	mA	
	fs = 96 kHz	10	15	mA	
	fs = 192 kHz	16	24	mA	
Total IDD (fs = 44.1 kHz, LDOE pin = "H") TVDD+AVDD+VDDL/R+VREFHL/R					
		28	43	mA	
Power down (PDN pin = "L") (Note 17)					
LDOE pin = "L", TVDD = 1.8 V TVDD+AVDD+VDDL/R+VREFHL/R+DVDD					
		30	150	μA	
LDOE pin = "H", TVDD = 3.3 V (Note 18) TVDD+AVDD+VDDL/R+VREFHL/R					
		15	150	μA	

Note 17. パワーダウン時かつPSN pin = TVDDかつ外部クロック(MCLK, BICK, LRCK)を含む、全てのデジタル入力をDVSSに固定した場合の値です。

Note 18. LDOE pin = "H" 時、DVDD pin は出力ピンとなります。

**[2] DSD Mode**

(Ta = 25 °C; LDOE pin = "L", AVDD = TVDD = DVDD = 1.8 V, AVSS = DVSS = VSSL/R = 0 V; VREFHL/R = VDDL/R = 5.0 V, VREFLL/R = 0 V; Signal Frequency = 1 kHz; Measurement bandwidth = 20 Hz ~ 20 kHz; External Circuit: Example circuit 3 (Figure 81); SC2 bit = "0"; ±2.8 Vpp output mode (GC2-0 bits = "000"); unless otherwise specified.)

Parameter		Min.	Typ.	Max.	Unit
<b>Dynamic Characteristics</b>					
THD+N (Note 19)	0 dBFS	-	-112	-	dB
S/N (A-weighted, Normal path) (Note 19)	Digital "0" (Note 21)	-	120	-	dB
<b>DC Accuracy</b>					
Output Voltage (Normal path)	(Note 22)	±2.65	±2.8	±2.95	Vpp
Output Voltage (Volume Bypass)	(Note 23)	±2.38	±2.5	±2.63	Vpp

Note 19. AKMの評価ボード使用時の参考値です。

DSD data stream : DSD64, DSD128, DSD256の特性はAK4137を使用した場合の参考値です。

Note 20. 入力に1 kHz、デューティレンジ25 % ~ 75%のsine波を与えたときの出力レベルを0 dBとします。0 dBを超える信号を入力した場合、異音がする可能性があります。

Note 21. Digital "0"とは"01101001"のデジタルゼロコードパターンです。

Note 22. DSDD bit = "0"のとき、デューティレンジ25 % ~ 75 %入力時のアナログ出力電圧は次の式で与えられます。

$$\begin{aligned} \text{AOUTL/R (typ. @ 0 dB)} &= (\text{AOUTLP/RP}) - (\text{AOUTLN/RN}) \\ &= \pm 2.8 \text{ Vpp} \times (\text{VREFHL/R} - \text{VREFLL/R})/5.0 \end{aligned}$$

Note 23. DSDD bit = "1"のとき、デューティレンジ25 % ~ 75 %入力時のアナログ出力電圧は次の式で与えられます。

$$\begin{aligned} \text{AOUTL/R (typ. @ 0 dB)} &= (\text{AOUTLP/RP}) - (\text{AOUTLN/RN}) \\ &= \pm 2.5 \text{ Vpp} \times (\text{VREFHL/R} - \text{VREFLL/R})/5.0 \end{aligned}$$

## ■ シャープロールオフ・フィルタ特性

### シャープロールオフ・フィルタ特性 (fs = 44.1 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Normal Speed Mode; DEM = OFF; SD bit = "0" or SD pin = "L", SLOW bit = "0" or SLOW pin = "L", SSLOW bit = "0" or SSLOW pin = "L")

Parameter	Symbol	Min.	Typ.	Max.	Unit	
<b>Digital Filter</b>						
Frequency Response (Note 24)	±0.01 dB	-	0	-	20.0	kHz
	-6.0 dB	-	22.05	-	-	kHz
Passband (Note 25)	PB	0	-	20.0	kHz	
Stopband (Note 25)	SB	24.1	-	-	kHz	
Passband Ripple (Note 26)	PR	-	-	±0.005	dB	
Stopband Attenuation (Note 24)	SA	100	-	-	dB	
Group Delay (Note 27)	GD	-	29.2	-	1/fs	
<b>Digital Filter + SCF</b> (Note 24)						
Frequency Response: 0 ~ 20.0 kHz	-	-0.2	-	+0.1	dB	

### シャープロールオフ・フィルタ特性 (fs = 96 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Double Speed Mode; DEM = OFF; SD bit = "0" or SD pin = "L", SLOW bit = "0" or SLOW pin = "L", SSLOW bit = "0" or SSLOW pin = "L")

Parameter	Symbol	Min.	Typ.	Max.	Unit
<b>Digital Filter</b>					
Frequency Response (Note 24)	±0.01 dB	-	0	43.5	kHz
	-6.0 dB	-	48.0	-	-
Passband (Note 25)	PB	0	-	43.5	kHz
Stopband (Note 25)	SB	52.5	-	-	kHz
Passband Ripple (Note 26)	PR	-	-	±0.005	dB
Stopband Attenuation (Note 24)	SA	100	-	-	dB
Group Delay (Note 27)	GD	-	29.2	-	1/fs
<b>Digital Filter + SCF</b> (Note 24)					
Frequency Response: 0 ~ 40.0 kHz	-	-0.6	-	+0.1	dB

### シャープロールオフ・フィルタ特性 (fs = 192 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Quad Speed Mode; DEM = OFF; SD bit = "0" or SD pin = "L", SLOW bit = "0" or SLOW pin = "L", SSLOW bit = "0" or SSLOW pin = "L")

Parameter	Symbol	Min.	Typ.	Max.	Unit
<b>Digital Filter</b>					
Frequency Response (Note 24)	±0.01 dB	-	0	87.0	kHz
	-6.0 dB	-	96.0	-	-
Passband (Note 25)	PB	0	-	87.0	kHz
Stopband (Note 25)	SB	104.9	-	-	kHz
Passband Ripple (Note 26)	PR	-	-	±0.005	dB
Stopband Attenuation (Note 24)	SA	100	-	-	dB
Group Delay (Note 27)	GD	-	29.2	-	1/fs
<b>Digital Filter + SCF</b> (Note 24)					
Frequency Response: 0 ~ 80.0 kHz	-	-2.0	-	+0.1	dB

Note 24. 入力に1 kHz、0 dBのsine波を与えたときの出力レベルを0dBとします。Stopband Attenuation 記載値の帯域は、SBから4fsまでです。

Note 25. 通過域、阻止域の周波数はfs(サンプリング周波数)に比例し、PB = 0.4535 × fs(@ ±0.01 dB)、SB = 0.546 × fsです。

Note 26. Interpolatorの初段、4倍オーバーサンプリングフィルタのパスバンド帯域内におけるゲインの振幅です。

Note 27. デジタルフィルタによる演算遅延で、16/20/24/32ビットデータが入力されてからアナログ信号が出力されるまでの時間です。

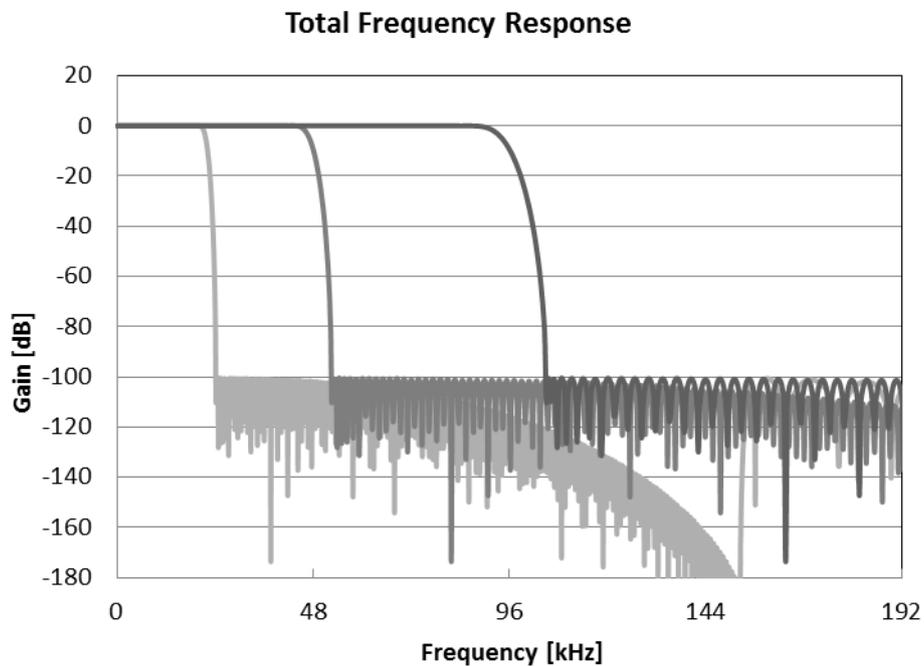


Figure 3. Sharp Roll-off Filter Frequency Response

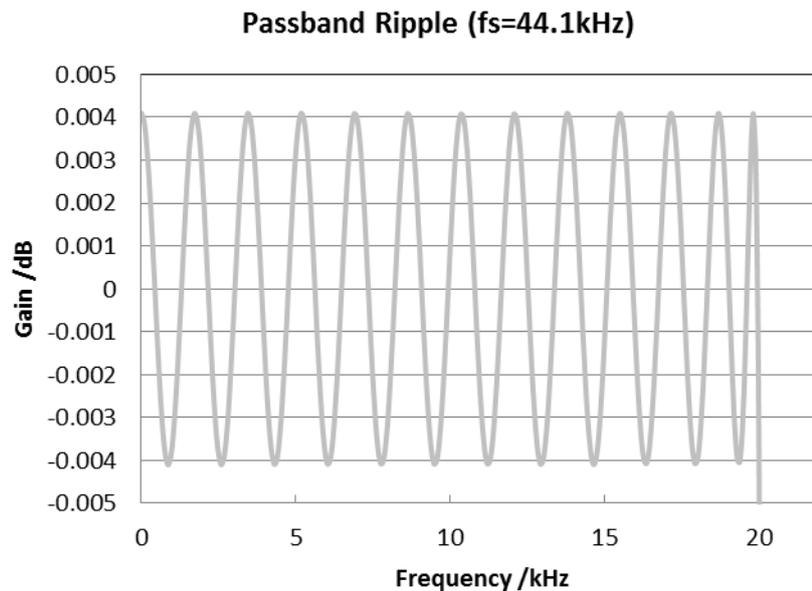


Figure 4. Sharp Roll-off Filter Passband Ripple

## ■ スローロールオフ・フィルタ特性

### スローロールオフ・フィルタ特性(fs = 44.1 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Normal Speed Mode; DEM = OFF; SD bit = "0" or SD pin = "L", SLOW bit = "1" or SLOW pin = "H", SSLOW bit = "0" or SSLOW pin = "L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
<b>Digital Filter</b>						
Frequency Response (Note 24)	±0.01 dB	-	0	-	8.0	kHz
	-6.0 dB	-	-	21.0	-	kHz
Passband (Note 28)		PB	0	-	8.0	kHz
Stopband (Note 28)		SB	39.2	-	-	kHz
Passband Ripple (Note 26)		PR	-	-	±0.007	dB
Stopband Attenuation (Note 24)		SA	92	-	-	dB
Group Delay (Note 27)		GD	-	6.5	-	1/fs
<b>Digital Filter + SCF</b> (Note 24)						
Frequency Response: 0 ~ 20.0 kHz		-	-5.0	-	+0.1	dB

### スローロールオフ・フィルタ特性(fs = 96 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Double Speed Mode; DEM = OFF; SD bit = "0" or SD pin = "L", SLOW bit = "1" or SLOW pin = "H", SSLOW bit = "0" or SSLOW pin = "L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
<b>Digital Filter</b>						
Frequency Response (Note 24)	±0.01 dB	-	0	-	17.6	kHz
	-6.0dB	-	-	45.6	-	kHz
Passband (Note 28)		PB	0	-	17.6	kHz
Stopband (Note 28)		SB	85.4	-	-	kHz
Passband Ripple (Note 26)		PR	-	-	±0.007	dB
Stopband Attenuation (Note 24)		SA	100	-	-	dB
Group Delay (Note 27)		GD	-	6.5	-	1/fs
<b>Digital Filter + SCF</b> (Note 24)						
Frequency Response: 0 ~ 40.0 kHz		-	-3.8	-	+0.1	dB

### スローロールオフ・フィルタ特性(fs = 192 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Quad Speed Mode; DEM = OFF; SD bit = "0" or SD pin = "L", SLOW bit = "1" or SLOW pin = "H", SSLOW bit = "0" or SSLOW pin = "L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
<b>Digital Filter</b>						
Frequency Response (Note 24)	±0.01 dB	-	0	-	35.2	kHz
	-6.0 dB	-	-	91.2	-	kHz
Passband (Note 28)		PB	0	-	35.2	kHz
Stopband (Note 28)		SB	170.7	-	-	kHz
Passband Ripple (Note 26)		PR	-	-	±0.007	dB
Stopband Attenuation (Note 24)		SA	100	-	-	dB
Group Delay (Note 27)		GD	-	6.5	-	1/fs
<b>Digital Filter + SCF</b> (Note 24)						
Frequency Response: 0 ~ 80.0 kHz		-	-5.0	-	+0.1	dB

Note 28. 通過域、阻止域の周波数はfs(サンプリング周波数)に比例し、  
PB = 0.1836 × fs(@ ±0.01 dB)、SB = 0.8889 × fsです。

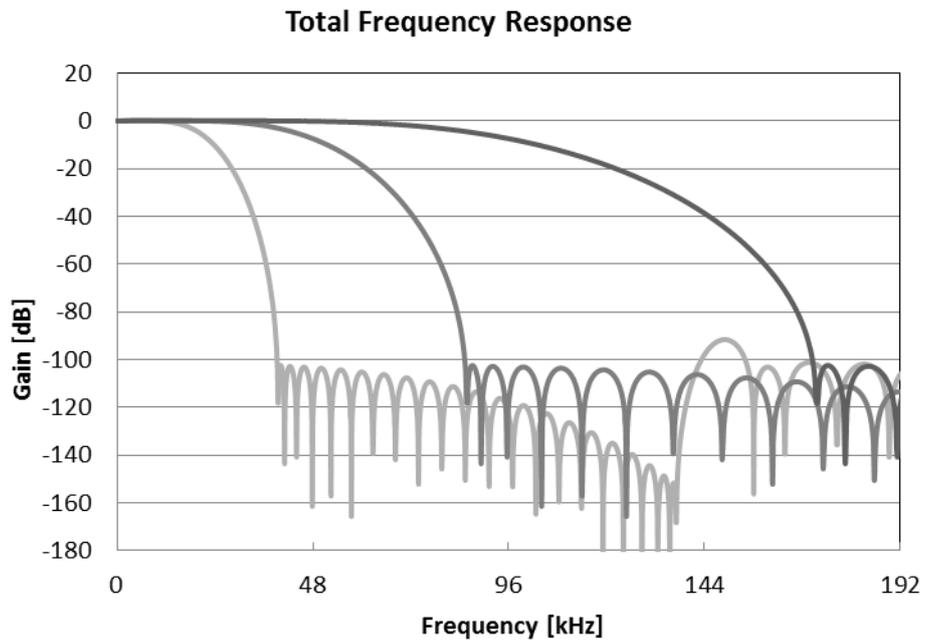


Figure 5. Slow Roll-off Filter Frequency Response

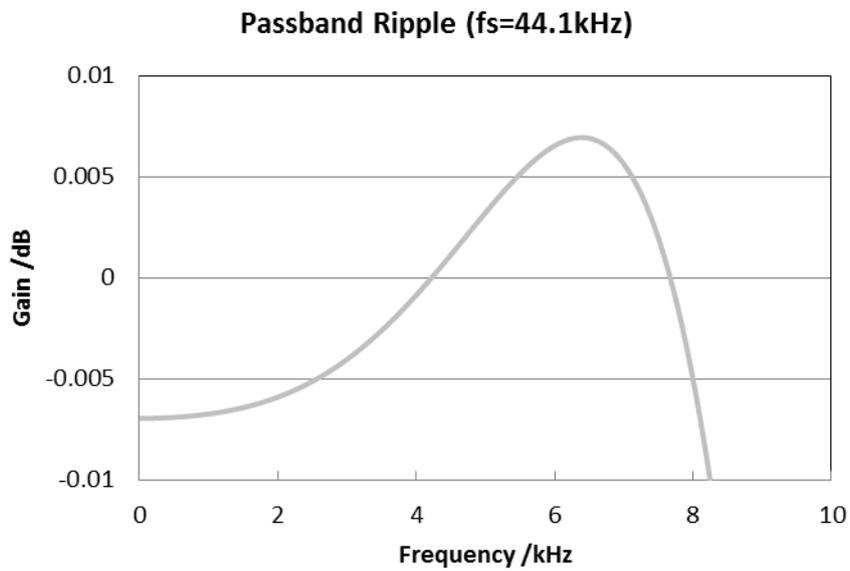


Figure 6. Slow Roll-off Filter Passband Ripple

## ■ ショートディレイ・シャープロールオフフィルタ特性

### ショートディレイ・シャープロールオフフィルタ特性 (fs = 44.1 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Normal Speed Mode; DEM = OFF; SD bit = "1" or SD pin = "H", SLOW bit = "0" or SLOW pin = "L", SSLOW bit = "0" or SSLOW pin = "L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
<b>Digital Filter</b>						
Frequency Response (Note 24)	±0.01 dB	-	0	-	20.0	kHz
	-6.0 dB	-	-	22.05	-	kHz
Passband (Note 29)		PB	0	-	20.0	kHz
Stopband (Note 29)		SB	24.1	-	-	kHz
Passband Ripple (Note 26)		PR	-	-	±0.005	dB
Stopband Attenuation (Note 24)		SA	100	-	-	dB
Group Delay (Note 27)		GD	-	6.0	-	1/fs
<b>Digital Filter + SCF (Note 24)</b>						
Frequency Response: 0 ~ 20.0 kHz		-	-0.2	-	+0.1	dB

### ショートディレイ・シャープロールオフフィルタ特性 (fs = 96 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Double Speed Mode; DEM = OFF; SD bit = "1" or SD pin = "H", SLOW bit = "0" or SLOW pin = "L", SSLOW bit = "0" or SSLOW pin = "L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
<b>Digital Filter</b>						
Frequency Response (Note 24)	±0.01 dB	-	0	-	43.5	kHz
	-6.0 dB	-	-	48.0	-	kHz
Passband (Note 29)		PB	0	-	43.5	kHz
Stopband (Note 29)		SB	52.5	-	-	kHz
Passband Ripple (Note 26)		PR	-	-	±0.005	dB
Stopband Attenuation (Note 24)		SA	100	-	-	dB
Group Delay (Note 27)		GD	-	6.0	-	1/fs
<b>Digital Filter + SCF (Note 24)</b>						
Frequency Response: 0 ~ 40.0 kHz		-	-0.6	-	+0.1	dB

### ショートディレイ・シャープロールオフフィルタ特性 (fs = 192 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Quad Speed Mode; DEM = OFF; SD bit = "1" or SD pin = "H", SLOW bit = "0" or SLOW pin = "L", SSLOW bit = "0" or SSLOW pin = "L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
<b>Digital Filter</b>						
Frequency Response (Note 24)	±0.01 dB	-	0	-	87.0	kHz
	-6.0 dB	-	-	96.0	-	kHz
Passband (Note 29)		PB	0	-	87.0	kHz
Stopband (Note 29)		SB	104.9	-	-	kHz
Passband Ripple (Note 26)		PR	-	-	±0.005	dB
Stopband Attenuation (Note 24)		SA	100	-	-	dB
Group Delay (Note 27)		GD	-	6.0	-	1/fs
<b>Digital Filter + SCF (Note 24)</b>						
Frequency Response: 0 ~ 80.0 kHz		-	-2.0	-	+0.1	dB

Note 29. 通過域、阻止域の周波数はfs(サンプリング周波数)に比例し、  
PB = 0.4535 × fs(@ ±0.01 dB)、SB = 0.546 × fsです。

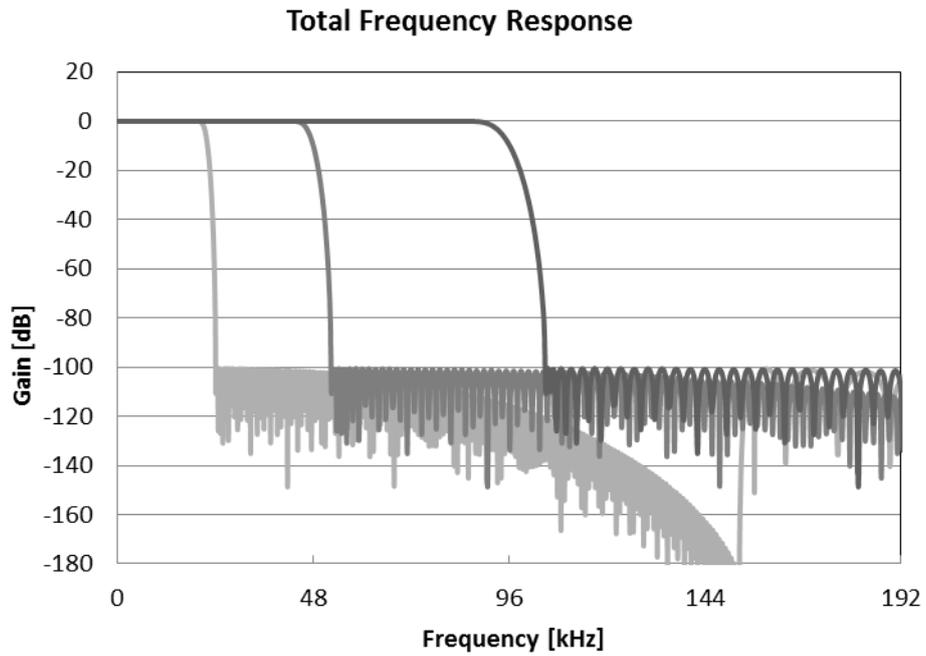


Figure 7. Short Delay Sharp Roll-off Filter Frequency Response

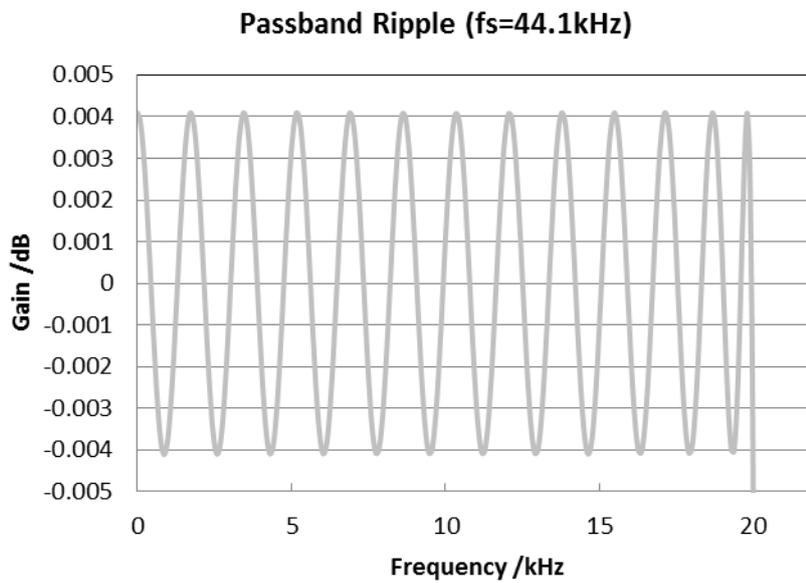


Figure 8. Short Delay Sharp Roll-off Filter Passband Ripple

## ■ ショートディレイ・スローロールオフフィルタ特性

### ショートディレイ・スローロールオフフィルタ特性 (fs = 44.1 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Normal Speed Mode; DEM = OFF; SD bit = "1" or SD pin = "H", SLOW bit = "1" or SLOW pin = "H", SSLOW bit = "0" or SSLOW pin = "L")

Parameter	Symbol	Min.	Typ.	Max.	Unit	
<b>Digital Filter</b>						
Frequency Response (Note 24)	±0.01 dB	-	0	-	8.0	kHz
	-6.0 dB	-	-	21.0	-	kHz
Passband (Note 30)	PB	0	-	8.0	kHz	
Stopband (Note 30)	SB	39.2	-	-	kHz	
Passband Ripple (Note 26)	PR	-	-	±0.007	dB	
Stopband Attenuation (Note 24)	SA	92	-	-	dB	
Group Delay (Note 27)	GD	-	5.0	-	1/fs	
<b>Digital Filter + SCF</b> (Note 24)						
Frequency Response: 0 ~ 20.0 kHz	-	-5.0	-	+0.1	dB	

### ショートディレイ・スローロールオフフィルタ特性 (fs = 96 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Double Speed Mode; DEM = OFF; SD bit = "1" or SD pin = "H", SLOW bit = "1" or SLOW pin = "H", SSLOW bit = "0" or SSLOW pin = "L")

Parameter	Symbol	Min.	Typ.	Max.	Unit	
<b>Digital Filter</b>						
Frequency Response (Note 24)	±0.01 dB	-	0	-	17.6	kHz
	-6.0 dB	-	-	45.6	-	kHz
Passband (Note 30)	PB	0	-	17.6	kHz	
Stopband (Note 30)	SB	85.4	-	-	kHz	
Passband Ripple (Note 26)	PR	-	-	±0.007	dB	
Stopband Attenuation (Note 24)	SA	100	-	-	dB	
Group Delay (Note 27)	GD	-	5.0	-	1/fs	
<b>Digital Filter + SCF</b> (Note 24)						
Frequency Response: 0 ~ 40.0 kHz	-	-3.8	-	+0.1	dB	

### ショートディレイ・スローロールオフフィルタ特性 (fs = 192 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Quad Speed Mode; DEM = OFF; SD bit = "1" or SD pin = "H", SLOW bit = "1" or SLOW pin = "H", SSLOW bit = "0" or SSLOW pin = "L")

Parameter	Symbol	Min.	Typ.	Max.	Unit	
<b>Digital Filter</b>						
Frequency Response (Note 24)	±0.01 dB	-	0	-	35.2	kHz
	-6.0 dB	-	-	91.2	-	kHz
Passband (Note 30)	PB	0	-	35.2	kHz	
Stopband (Note 30)	SB	170.7	-	-	kHz	
Passband Ripple (Note 26)	PR	-	-	±0.007	dB	
Stopband Attenuation (Note 24)	SA	100	-	-	dB	
Group Delay (Note 27)	GD	-	5.0	-	1/fs	
<b>Digital Filter + SCF</b> (Note 24)						
Frequency Response: 0 ~ 80.0 kHz	-	-5.0	-	+0.1	dB	

Note 30. 通過域、阻止域の周波数はfs(サンプリング周波数)に比例し、

PB = 0.1836 × fs(@ ±0.01 dB)、SB = 0.8866 × fsです

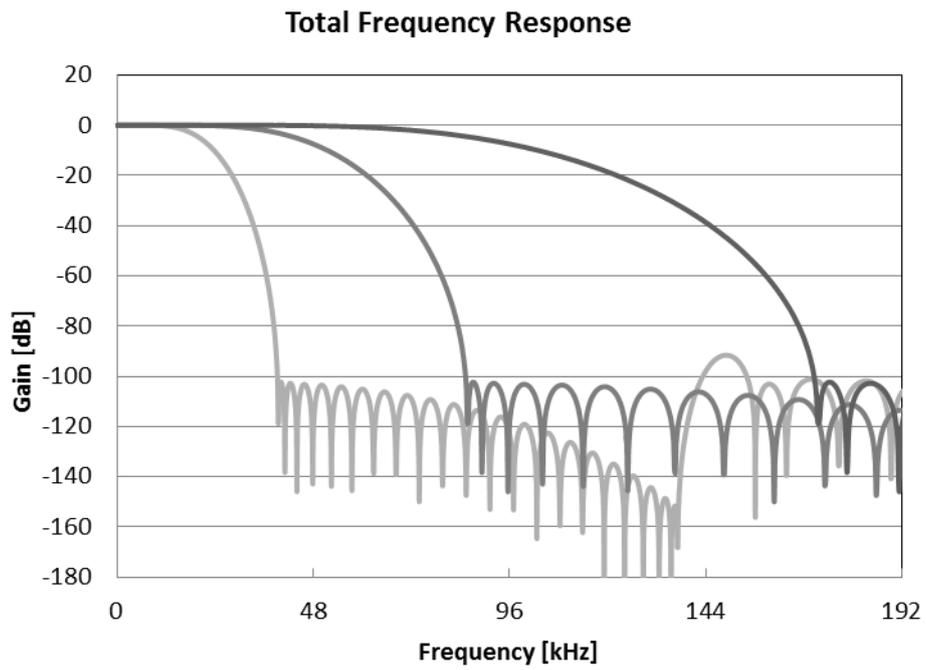


Figure 9. Short Delay Slow Roll-off Filter Frequency Response

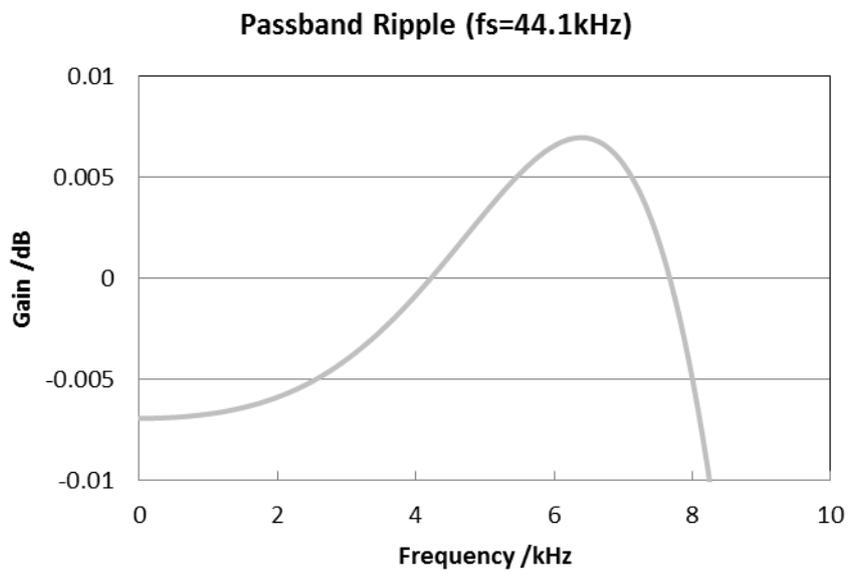


Figure 10. Short Delay Slow Roll-off Filter Passband Ripple

### ■ 低分散ショートディレイフィルタ特性

#### 低分散ショートディレイフィルタ特性 (fs = 44.1 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Normal Speed Mode; DEM = OFF; SD bit = "1" or SD pin = "H", SLOW bit = "0" or SLOW pin = "L", SSLOW bit = "1" or SSLOW pin = "H")

Parameter		Symbol	Min.	Typ.	Max.	Unit
<b>Digital Filter</b>						
Frequency Response (Note 24)	±0.05 dB	-	0	-	18.4	kHz
	-6.0 dB	-	-	22.05	-	kHz
Passband (Note 31)		PB	0	-	18.4	kHz
Stopband (Note 31)		SB	25.7	-	-	kHz
Passband Ripple (Note 26)		PR	-	-	±0.05	dB
Stopband Attenuation (Note 24)		SA	80	-	-	dB
Group Delay (Note 27)		GD	-	10.0	-	1/fs
Group Delay Distortion		ΔGD	-	±0.035	-	1/fs
<b>Digital Filter + SCF (Note 24)</b>						
Frequency Response: 0 ~ 20.0 kHz		-	-0.8	-	+0.1	dB

#### 低分散ショートディレイフィルタ特性 (fs = 96 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Double Speed Mode; DEM = OFF; SD bit = "1" or SD pin = "H", SLOW bit = "0" or SLOW pin = "L", SSLOW bit = "1" or SSLOW pin = "H")

Parameter		Symbol	Min.	Typ.	Max.	Unit
<b>Digital Filter</b>						
Frequency Response (Note 24)	±0.05 dB	-	0	-	40.1	kHz
	-6.0 dB	-	-	48.0	-	kHz
Passband (Note 31)		PB	0	-	40.1	kHz
Stopband (Note 31)		SB	55.9	-	-	kHz
Passband Ripple (Note 26)		PR	-	-	±0.05	dB
Stopband Attenuation (Note 24)		SA	80	-	-	dB
Group Delay (Note 27)		GD	-	10.0	-	1/fs
Group Delay Distortion		ΔGD	-	±0.035	-	1/fs
<b>Digital Filter + SCF (Note 24)</b>						
Frequency Response: 0 ~ 40.0 kHz		-	-0.6	-	+0.1	dB

#### 低分散ショートディレイフィルタ特性 (fs = 192 kHz)

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; Quad Speed Mode; DEM = OFF; SD bit = "1" or SD pin = "H", SLOW bit = "0" or SLOW pin = "L", SSLOW bit = "1" or SSLOW pin = "H")

Parameter		Symbol	Min.	Typ.	Max.	Unit
<b>Digital Filter</b>						
Frequency Response (Note 24)	±0.05 dB	-	0	-	80.2	kHz
	-6.0 dB	-	-	96.0	-	kHz
Passband (Note 31)		PB	0	-	80.2	kHz
Stopband (Note 31)		SB	111.8	-	-	kHz
Passband Ripple (Note 26)		PR	-	-	±0.05	dB
Stopband Attenuation (Note 24)		SA	80	-	-	dB
Group Delay (Note 27)		GD	-	10.0	-	1/fs
Group Delay Distortion		ΔGD	-	±0.035	-	1/fs
<b>Digital Filter + SCF (Note 24)</b>						
Frequency Response: 0 ~ 80.0 kHz		-	-2.0	-	+0.1	dB

Note 31. 通過域、阻止域の周波数はfs(サンプリング周波数)に比例し、

PB = 0.418 × fs(@ ±0.05 dB)、SB = 0.582 × fsです

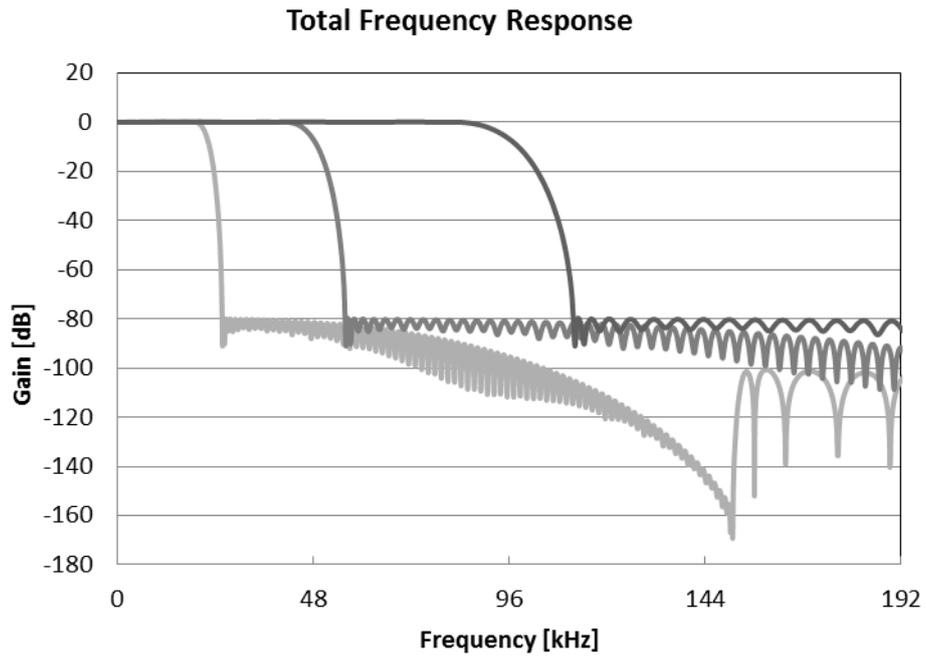


Figure 11. Low Dispersion Short Delay Filter Frequency Response

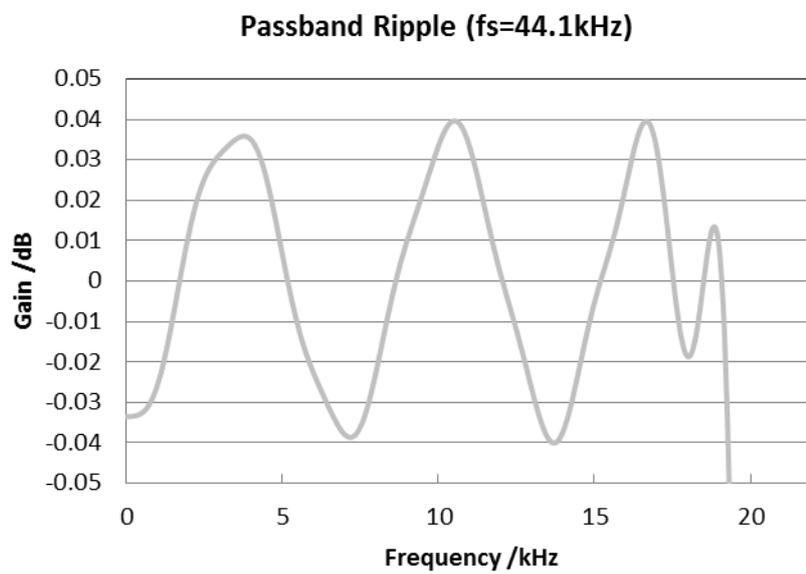


Figure 12. Low Dispersion Short Delay Filter Passband Ripple

## ■ DSDフィルタ特性

( $T_a = -40 \sim 85 \text{ }^\circ\text{C}$ ;  $V_{DDL/R} = 4.75 \sim 5.25 \text{ V}$ ,  $AV_{DD} = TV_{DD} = 1.7 \sim 3.6 \text{ V}$ ,  $DV_{DD} = 1.7 \sim 1.98 \text{ V}$ ;  $f_s = 44.1 \text{ kHz}$ ; DP bit = "1", DSDSEL1-0 bits = "00" (Note 32))

Parameter		Min.	Typ.	Max.	Unit
<b>Digital Filter Response</b>					
Frequency Response (Note 33) DSD bit = "0"	20 kHz	-	-0.77	-	dB
	50 kHz	-	-5.25	-	dB
	100 kHz	-	-18.80	-	dB
Frequency Response (Note 33) DSD bit = "1"	20 kHz	-	-0.19	-	dB
	100 kHz	-	-5.29	-	dB
	150 kHz	-	-15.57	-	dB

Note 32. 入力に1 kHz、デューティレンジ25%~75%のsine波を与えたときの出力レベルを0 dBとします。

Note 33. DSD128(DSDSEL1-0 bits = "01"), DSD256(DSDSEL1-0 bits = "10")では、周波数(20 kHz, 50 kHz, 100 kHz, 150 kHz)がそれぞれ2倍、4倍になります。

## ■ DC特性

( $T_a = -40 \sim 85 \text{ }^\circ\text{C}$ ;  $V_{DDL/R} = 4.75 \sim 5.25 \text{ V}$ ,  $AV_{DD} = TV_{DD} = 1.7 \sim 3.6 \text{ V}$ ,  $DV_{DD} = 1.7 \sim 1.98 \text{ V}$ )

Parameter	Symbol	Min.	Typ.	Max.	Unit
TVDD = 1.7 ~ 3.0 V					
High-Level Input Voltage	$V_{IH}$	80%TVDD	-	-	V
Low-Level Input Voltage	$V_{IL}$	-	-	20%TVDD	V
TVDD = 3.0V ~ 3.6 V					
High-Level Input Voltage	$V_{IH}$	70%TVDD	-	-	V
Low-Level Input Voltage	$V_{IL}$	-	-	30%TVDD	V
High-Level Output Voltage (DZFL, DZFR pins: $I_{out} = -100 \text{ }\mu\text{A}$ )	$V_{OH}$	TVDD-0.3	-	-	V
Low-Level Output Voltage (except SDA pin: $I_{out} = 100 \text{ }\mu\text{A}$ )	$V_{OL}$	-	-	-	V
(SDA pin, $2.0 \text{ V} \leq DV_{DD} \leq 3.6 \text{ V}$ : $I_{out} = 3 \text{ mA}$ )	$V_{OL}$	-	-	0.3	V
(SDA pin, $1.7 \text{ V} \leq DV_{DD} \leq 2.0 \text{ V}$ : $I_{out} = 3 \text{ mA}$ )	$V_{OL}$	-	-	0.4	V
(SDA pin, $1.7 \text{ V} \leq DV_{DD} \leq 2.0 \text{ V}$ : $I_{out} = 3 \text{ mA}$ )	$V_{OL}$	-	-	20%TVDD	V
Input Leakage Current (Note 34)	$I_{in}$	-	-	$\pm 10$	$\mu\text{A}$

Note 34. DIF0 pin, DIF1 pin, TESTE pinはプルダウン、またPSN pin, LDOE pinはプルアップされています。抵抗値は100 k $\Omega$ (typ)です。このため、DIF0 pin, DIF1 pin, TESTE pin, PSN pin, LDOE pinはこの仕様から除きます。

## ■ スイッチング特性

(Ta = -40 ~ 85 °C; VDDL/R = 4.75 ~ 5.25 V, AVDD = TVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V; CL = 20 pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
<b>Master Clock Timing</b>					
Frequency	fCLK	2.048	-	49.664	MHz
Duty Cycle	dCLK	40	-	60	%
Minimum Pulse Width	tCLKH	9.05	-	-	nsec
	tCLKL	9.05	-	-	nsec
<b>LRCK Clock Timing (Note 35)</b>					
<b>Normal Mode (TDM1-0 bits = "00")</b>					
Normal Speed Mode	fsn	8	-	54	kHz
Double Speed Mode	fsd	54	-	108	kHz
Quad Speed Mode	fsq	108	-	216	kHz
Oct Speed Mode	fso	216	-	388	kHz
Hex Speed Mode	fsh	388	-	776	kHz
Duty Cycle	Duty	45	-	55	%
<b>TDM128 Mode (TDM1-0 bits = "01")</b>					
Normal Speed Mode	fsn	8	-	54	kHz
Double Speed Mode	fsd	54	-	108	kHz
Quad Speed Mode	fsq	108	-	216	kHz
High time	tLRH	1/128fs	-	-	nsec
Low time	tLRL	1/128fs	-	-	nsec
<b>TDM256 Mode (TDM1-0 bits = "10")</b>					
Normal Speed Mode High time	fsn	8	-	54	kHz
Double Speed Mode	fsd	54	-	108	kHz
High time	tLRH	1/256fs	-	-	nsec
Low time	tLRL	1/256fs	-	-	nsec
<b>TDM512 Mode (TDM1-0 bits = "11")</b>					
Normal Speed Mode	fsn	8	-	54	kHz
High time	tLRH	1/512fs	-	-	nsec
Low time	tLRL	1/512fs	-	-	nsec

Note 35. MCLKの周波数を切り替える場合はPDN pin = "L"またはRSTN bit = "0"とし、リセットしている期間中に切り替えてください。

Parameter	Symbol	Min.	Typ.	Max.	Unit
<b>PCM Audio Interface Timing</b>					
<b>Normal Mode (TDM1-0 bits = "00")</b>					
BICK Period					
Normal Speed Mode	tBCK	1/256fsn	-	-	nsec
Double Speed Mode	tBCK	1/128fsd	-	-	nsec
Quad Speed Mode	tBCK	1/64fsq	-	-	nsec
Oct Speed Mode	tBCK	1/64fso	-	-	nsec
Hex Speed Mode	tBCK	1/64fsh	-	-	nsec
BICK Pulse Width Low	tBCKL	9	-	-	nsec
BICK Pulse Width High	tBCKH	9	-	-	nsec
BICK "↑" to LRCK Edge (Note 36)	tBLR	5	-	-	nsec
LRCK Edge to BICK "↑" (Note 36)	tLRB	5	-	-	nsec
SDATA Hold Time	tSDH	5	-	-	nsec
SDATA Setup Time	tSDS	5	-	-	nsec
<b>TDM128 Mode (TDM1-0 bits = "01")</b>					
BICK Period					
Normal Speed Mode	tBCK	1/128fsn	-	-	nsec
Double Speed Mode	tBCK	1/128fsd	-	-	nsec
Quad Speed Mode	tBCK	1/128fsq	-	-	nsec
BICK Pulse Width Low	tBCKL	14	-	-	nsec
BICK Pulse Width High	tBCKH	14	-	-	nsec
BICK "↑" to LRCK Edge (Note 36)	tBLR	14	-	-	nsec
LRCK Edge to BICK "↑" (Note 36)	tLRB	14	-	-	nsec
SDATA Hold Time	tSDH	5	-	-	nsec
SDATA Setup Time	tSDS	5	-	-	nsec
<b>TDM256 Mode (TDM1-0 bits = "10")</b>					
BICK Period					
Normal Speed Mode	tBCK	1/256fsn	-	-	nsec
Double Speed Mode	tBCK	1/256fsd	-	-	nsec
BICK Pulse Width Low	tBCKL	14	-	-	nsec
BICK Pulse Width High	tBCKH	14	-	-	nsec
BICK "↑" to LRCK Edge (Note 36)	tBLR	14	-	-	nsec
LRCK Edge to BICK "↑" (Note 36)	tLRB	14	-	-	nsec
SDATA Hold Time	tSDH	5	-	-	nsec
SDATA Setup Time	tSDS	5	-	-	nsec
<b>TDM512 Mode (TDM1-0 bits = "11")</b>					
BICK Period					
Normal Speed Mode	tBCK	1/512fsn	-	-	nsec
BICK Pulse Width Low	tBCKL	14	-	-	nsec
BICK Pulse Width High	tBCKH	14	-	-	nsec
BICK "↑" to LRCK Edge (Note 36)	tBLR	14	-	-	nsec
LRCK Edge to BICK "↑" (Note 36)	tLRB	14	-	-	nsec
SDATA Hold Time	tSDH	5	-	-	nsec
SDATA Setup Time	tSDS	5	-	-	nsec

Note 36. この規格値はLRCKのエッジとBICKの“↑”が重ならないように規定しています。

Parameter	Symbol	Min.	Typ.	Max.	Unit
<b>PCM Audio Interface Timing</b>					
<b>External Digital Filter Mode</b>					
BCK Period	tB	27	-	-	nsec
BCK Pulse Width Low	tBL	10	-	-	nsec
BCK Pulse Width High	tBH	10	-	-	nsec
BCK “↑” to WCK Edge	tBW	5	-	-	nsec
WCK Period	tWCK	1.3	-	-	μsec
WCK Edge to BCK “↑”	tWB	5	-	-	nsec
WCK Pulse Width Low	tWCKL	54	-	-	nsec
WCK Pulse Width High	tWCKH	54	-	-	nsec
DINL/R Hold Time	tDH	5	-	-	nsec
DINL/R Setup Time	tDS	5	-	-	nsec
<b>DSD Audio Interface Timing</b>					
<b>Sampling Frequency</b>	fs	30	-	48	kHz
<b>(DSD64, DSDSEL1-0 bits = “00”)</b>					
DCLK Period	tDCK	-	1/64fs	-	nsec
DCLK Pulse Width Low	tDCKL	144	-	-	nsec
DCLK Pulse Width High	tDCKH	144	-	-	nsec
DCLK Edge to DSDL/R (Note 37)	tDDD	-20	-	20	nsec
<b>(DSD128, DSDSEL1-0 bits = “01”)</b>					
DCLK Period	tDCK	-	1/128fs	-	nsec
DCLK Pulse Width Low	tDCKL	72	-	-	nsec
DCLK Pulse Width High	tDCKH	72	-	-	nsec
DCLK Edge to DSDL/R (Note 37)	tDDD	-10	-	10	nsec
<b>(DSD256, DSDSEL1-0 bits = “10”)</b>					
DCLK Period	tDCK	-	1/256fs	-	nsec
DCLK Pulse Width Low	tDCKL	36	-	-	nsec
DCLK Pulse Width High	tDCKH	36	-	-	nsec
DCLK Edge to DSDL/R (Note 37)	tDDD	-5	-	5	nsec

Note 37. データ送信側に要求される値です。

DCKB bit = “0”(default)設定時は、DCLK “↓”からDSDL/Rのエッジまでの時間をtDDDと規定し、DCKB bit = “1”設定時は、DCLK “↑”からDSDL/Rのエッジまでの時間をtDDDと規定します。また、オーディオデータフォーマットがPhase Modulation Mode時は、DCKB bitの設定にかかわらず、DCLK “↓”または “↑”からDSDL/Rのエッジまでの時間をtDDDと規定します。

Parameter	Symbol	Min.	Typ.	Max.	Unit
<b>Control Interface Timing (3-wire IF Mode):</b>					
CCLK Period	tCCK	200	-	-	nsec
CCLK Pulse Width Low	tCCKL	80	-	-	nsec
CCLK Pulse Width High	tCCKH	80	-	-	nsec
CDTI Setup Time	tCDS	40	-	-	nsec
CDTI Hold Time	tCDH	40	-	-	nsec
CSN "H" Time	tCSW	150	-	-	nsec
CSN "↓" to CCLK "↑"	tCSS	50	-	-	nsec
CCLK "↑" to CSN "↑"	tCSH	50	-	-	nsec
<b>Control Interface Timing (I<sup>2</sup>C Bus Mode):</b>					
SCL Clock Frequency	fSCL	-	-	400	kHz
Bus Free Time Between Transmissions	tBUF	1.3	-	-	μsec
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6	-	-	μsec
Clock Low Time	tLOW	1.3	-	-	μsec
Clock High Time	tHIGH	0.6	-	-	μsec
Setup Time for Repeated Start Condition	tSU:STA	0.6	-	-	μsec
SDA Hold Time from SCL Falling (Note 38)	tHD:DAT	0	-	-	μsec
SDA Setup Time from SCL Rising	tSU:DAT	0.1	-	-	μsec
Rise Time of Both SDA and SCL Lines	tR	-	-	0.3	μsec
Fall Time of Both SDA and SCL Lines	tF	-	-	0.3	μsec
Setup Time for Stop Condition	tSU:STO	0.6	-	-	μsec
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0	-	50	nsec
Capacitive load on bus	Cb	-	-	400	pF
<b>Power-down &amp; Reset Timing (Note 39)</b>					
PDN Accept Pulse Width	tAPD	150	-	-	nsec
PDN Reject Pulse Width	tRPD	-	-	30	nsec

Note 38. データは最低300 nsec(SCLの立ち下がり時間)の間保持されなければなりません。

Note 39. 電源投入時は、PDN pinを150 nsec以上の間"L"にしてパワーダウンしてください。

■ タイミング波形

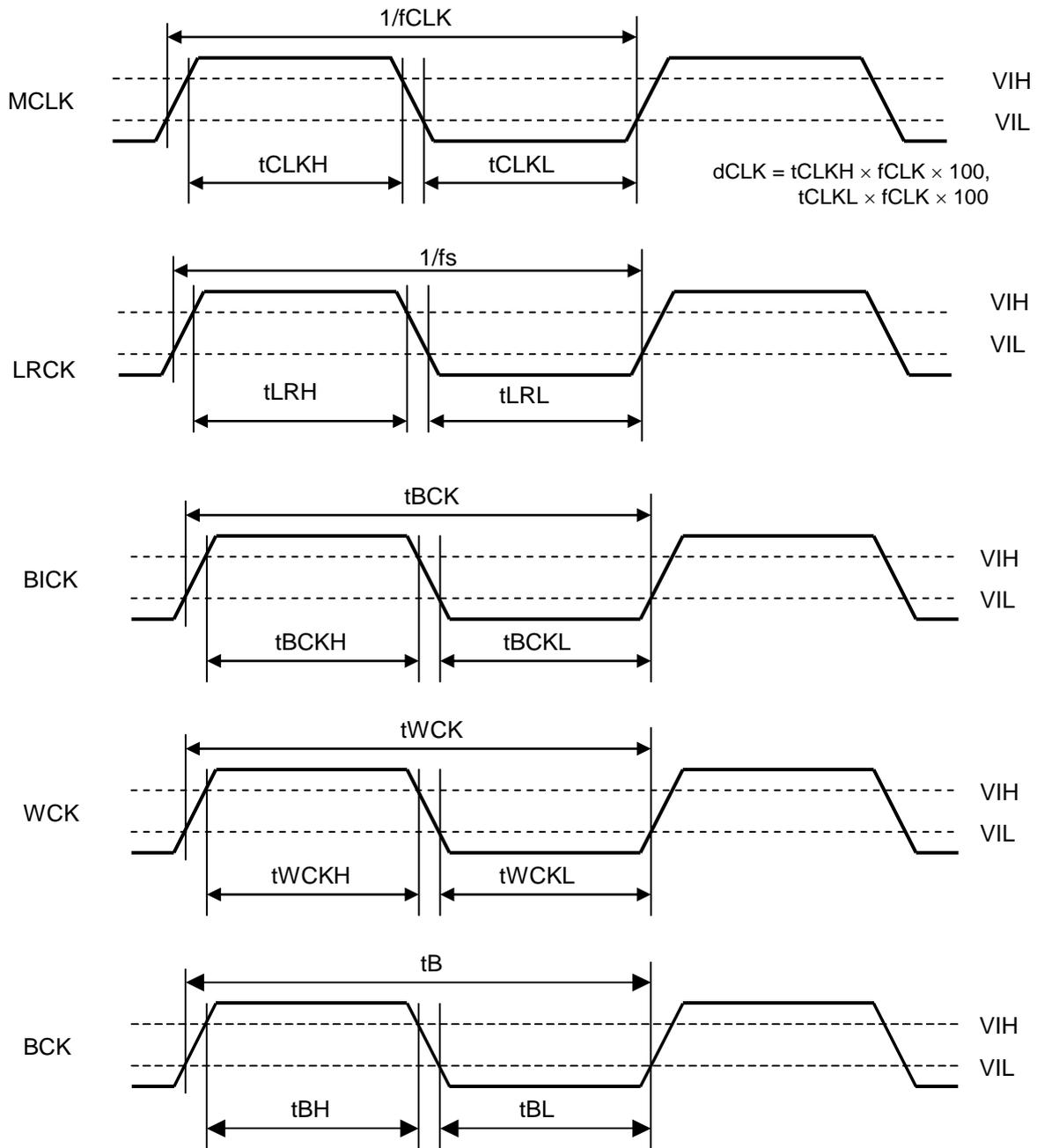


Figure 13. Clock Timing

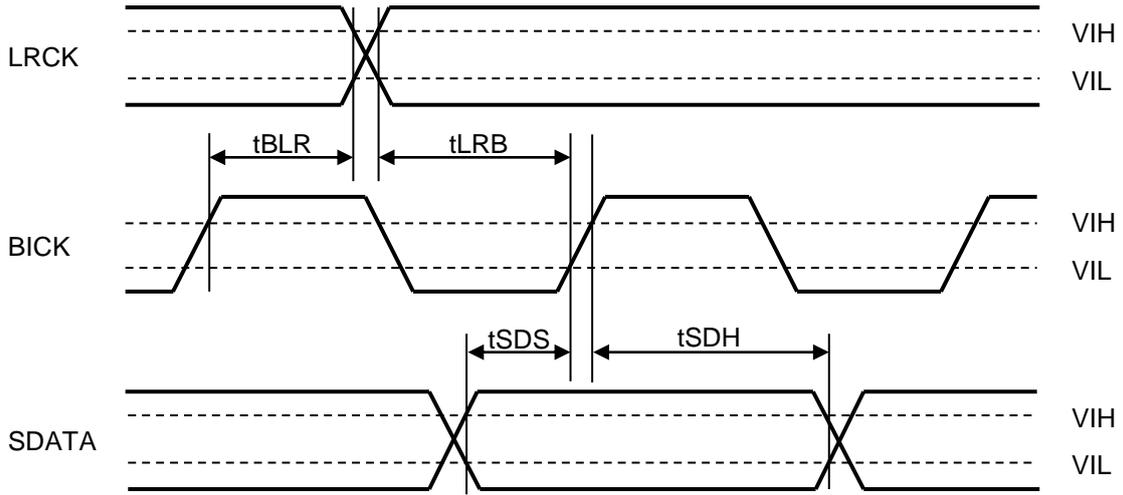


Figure 14. Audio Interface Timing (PCM Mode)

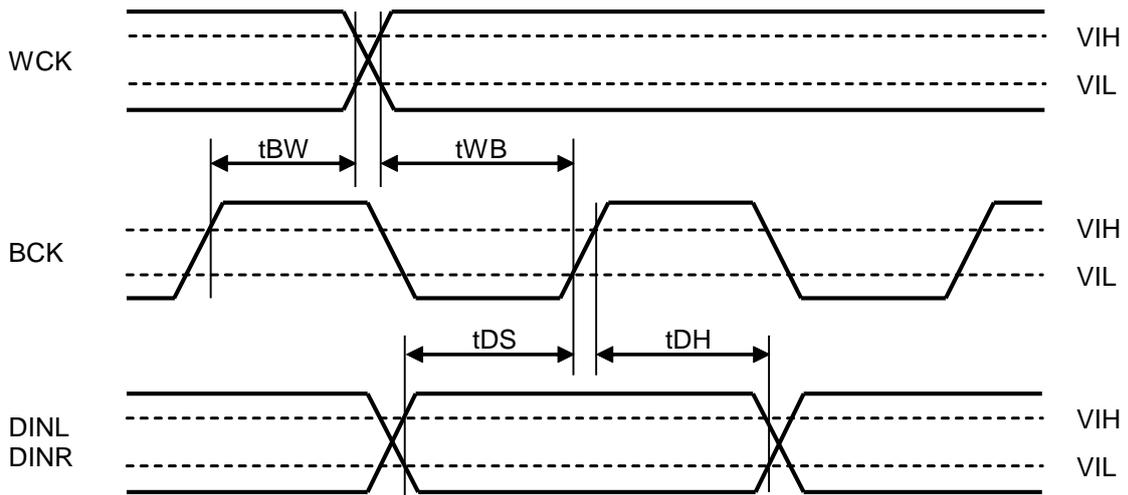
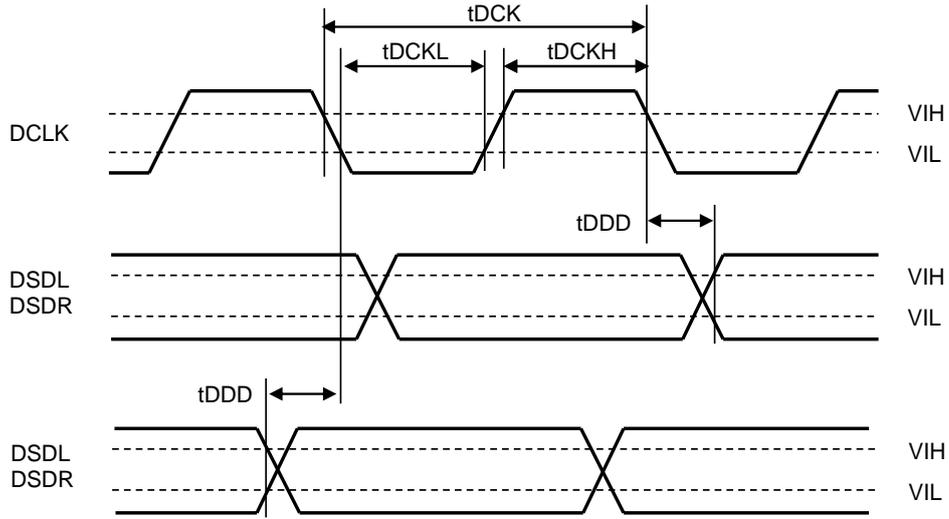


Figure 15. Audio Interface Timing (External Digital Filter I/F Mode)



DSD Audio Interface Timing (DSD64fs, 128fs, 256fs Mode)

Figure 16. Audio Interface Timing (DSD Normal Mode, DCKB bit = "0")

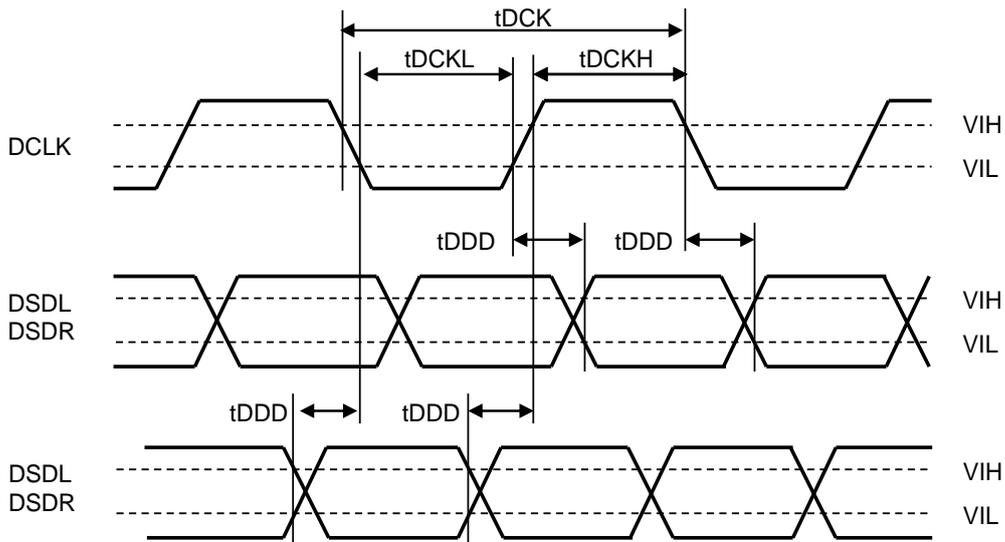


Figure 17. Audio Interface Timing (DSD Phase Modulation Mode, DCKB bit = "0")

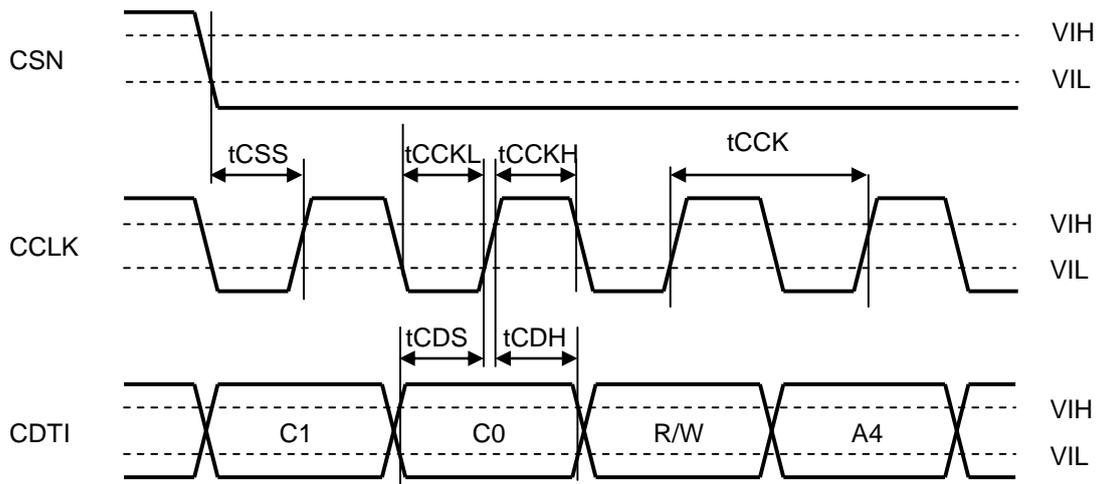


Figure 18. WRITE Command Input Timing

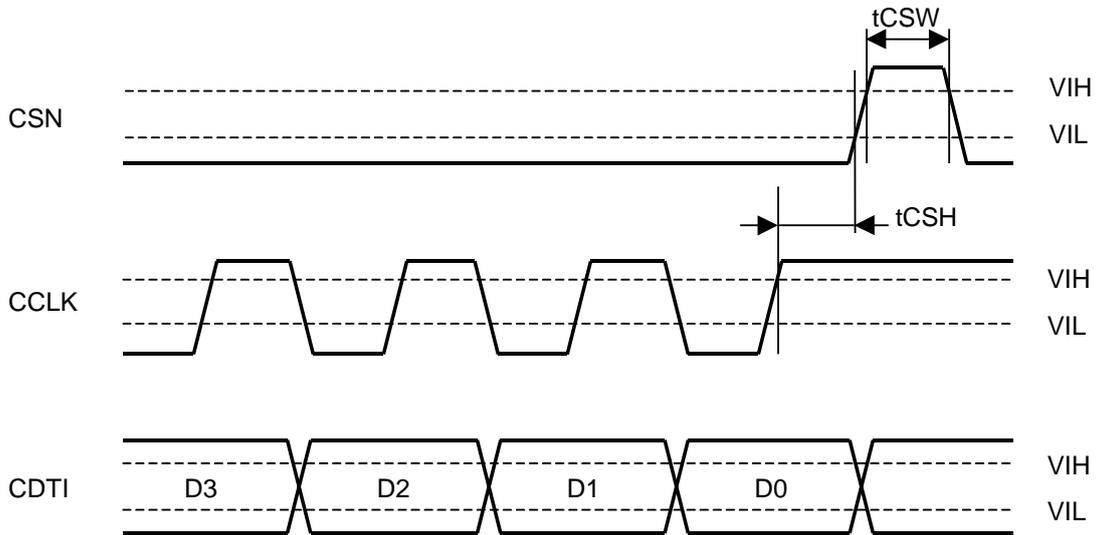


Figure 19. WRITE Data Input Timing

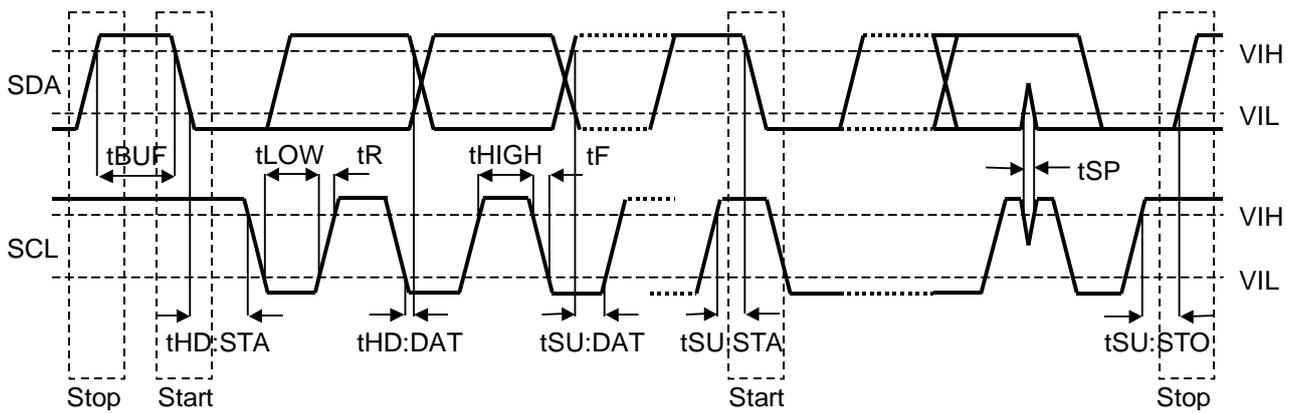


Figure 20. I<sup>2</sup>C Bus Mode Timing

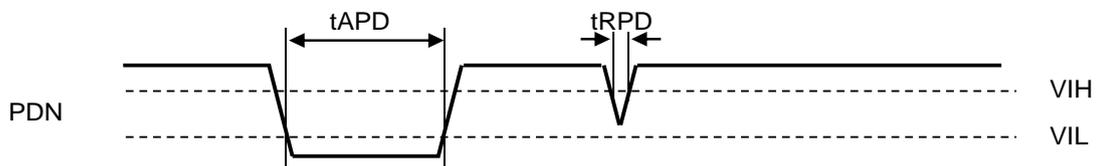


Figure 21. Power Down & Reset Timing

<b>9. 機能説明</b>
----------------

AK4490Rの各機能はピン(ピンコントロールモード)、もしくはレジスタ(レジスタコントロールモード)により制御されます([Table 1](#))。PSN pinで制御モードを設定してください。PSN pinの設定を変更する場合は、PDN pinでAK4490Rをパワーダウンしてください。パワーダウンしない場合、変更前の設定が初期化されないため、回路が誤動作する可能性があります。ピンコントロールモード時にはレジスタ設定は無効、レジスタコントロールモード時にはピンコントロールは無効になります。

[Table 2](#)にピンコントロールモード、レジスタコントロールモードにおける機能対応表を、[Table 3](#)にPCM, DSD, EXDF modelにおける機能対応表を示します。

Table 1. Pin/Register Control Mode Select

PSN pin	Control Mode
L	Register Control Mode
H	Pin Control Mode

Table 2. Function List @ Pin/Register Control Mode  
(Y: Available, N/A: Not available)

Function	Register Control Mode	Pin Control Mode	
Resistor Control	Y	N/A	Pin Control
DSD/EXDF Mode Select	Y	N/A	-
System Clock Setting Select	Y	Y	-
Audio Format Select	Y	Y	-
TDM Mode	Y	N/A	-
Digital Filter Select	Y	Y	-
De-emphasis Filter Select	Y	Y	-
Digital Attenuator	Y	N/A	0 dB
Zero Detection	Y	N/A	Disable
Mono Mode	Y	N/A	Stereo
Output Signal Select (Monaural, Channel select)	Y	N/A	-
Output Signal Polarity Select (Invert)	Y	Y	-
Sound Color Select	Y	N/A	Same as SC2 bit = "0"
DSD Full-Scale Detect	Y	N/A	OFF
Soft Mute	Y	Y	-
Register Reset	Y	N/A	Released
On/Off Control of standby by MCLK	Y	N/A	ON
On/Off Control of Clock Synchronization Function	Y	N/A	ON
Gain Control	Y	N/A	Same as GC2-0 bits = "000"

Table 3. Function List of PCM/EXDF/DSD Mode @ Register Control Mode  
(Y: Available, N/A: Not available)

Function	Default State	Addr	Bit	PCM	EXDF	DSD	
						Normal	Volume Bypass
Automatic Mode Switching (PCM/DSD, EXDF/DSD)	Disable	15H	ADPE	Y	Y	Y	Y
Manual Mode Select (PCM, DSD, EXDF)	PCM Mode	00H 02H	EXDF DP	Y	Y	Y	Y
Path Select @ DSD Mode	Normal Path	06H	DSDD	N/A	N/A	Y	Y
System Clock Setting @ PCM Mode	Manual Setting Mode	00H	ACKS	Y	N/A	N/A	N/A
System Clock Setting @ DSD Mode	512fs	02H	DCKS	N/A	N/A	Y	Y
System Clock Setting @ EXDF Mode	16fs (fs = 44.1 kHz)	00H	ECS	N/A	Y	N/A	N/A
Digital Filter Select @ DSD Mode	39 kHz filter	09H	DSEF	N/A	N/A	Y	N/A
Digital Filter Select @ PCM Mode	Short delay sharp roll-off filter	01H 02H 05H	SD SLOW SSLOW	Y (Note 40)	N/A	N/A	N/A
De-emphasis Response	OFF	01H	DEM1-0	Y	N/A	N/A	N/A
Audio Data Interface Format @ PCM Mode	32-bit MSB	00H	DIF2-0	Y	N/A	N/A	N/A
Audio Data Interface Format @ EXDF Mode	32-bit LSB	00H	DIF2-0	N/A	Y	N/A	N/A
TDM Interface Format	Normal Mode	0AH	TDM1-0	Y	N/A	N/A	N/A
Attenuation Level	0 dB	03-04H	ATTL7-0 ATTR7-0	Y	Y	Y	N/A
Gain Control	Different Gain on DSDD bit = "1"	07H	GC2-0	Y	Y	Y	N/A
Data Zero Detect Enable	Disable	01H	DZFE	Y	Y	Y	N/A
Inverting Enable of DZF	"H" active	02H	DZFB	Y	Y	Y	Y
Mono/Stereo Mode Select	Stereo	02H	MONO	Y	Y	Y	Y
Data Invert Mode Select	OFF	05H	INVL/R	Y	Y	Y	Y
Data Selection of L-channel and R-channel	Lch Out: Lch In Rch Out: Rch In	02H	SELLR	Y	Y	Y	Y
Sound Color Select	Setting 1	08H	SC2	Y	Y	Y	Y
Noise Free DSD Mute Function when Full-Scale Data Input	Disable	06H	DDM	N/A	N/A	Y	Y
Soft Mute Enable	Normal Operation	01H	SMUTE	Y	Y	Y	N/A
RSTN	Reset	00H	RSTN	Y	Y	Y	Y
Clock Synchronization Function	Enable	07H	SYNCE	Y	Y	N/A	N/A

Note 40. PCM : Oct、および、Hex Speed Mode 設定時は、Super slow roll-off filter のみになります。

### ■ D/A変換モード (PCM, DSD, EXDF Mode)

AK4490RはPCMデータとDSDデータをD/A変換することが可能です。また、外部デジタルフィルタI/Fを選択することも可能です。PCM modeではBICK, LRCK, SDATAの各ピンからPCMデータを入力します。DSD mode時は、DCLK, DSDL, DSDRの各ピンからDSDデータを入力します。EXDF modeでは、BCK, DINL, DINR, WCKの各ピンからデータを入力します。ピンコントロールモード時はPCM modeのみに対応します。

DSD modeのモード切り替えについて、マニュアルで切り替える方法と自動的に切り替える方法を設定できます。ADPE bit = “0”の場合はマニュアル切り替え設定、ADPE bit = “1”の場合は自動切り替え設定になります。なお、EXDF modeとPCM modeの切り替えについてはマニュアルで行ってください。

マニュアル切り替え設定(ADPE bit = “0”)では、PCM modeとDSD modeの切り替えはDP bitで行います。DP bitでPCM/DSD modeを切り替える場合、RSTN bit = “0”としリセットしている期間中に行ってください。また切り替えた後は4/fs以内にRSTN bitを変えないでください。モードの移行には2/fs ~ 3/fs程度かかります。EXDF modeへの切り替えはDP bitとEXDF bitで行います。DP bit = “0”、EXDF bit = “1”の場合、EXDF modeに切り替わります。EXDF bitで内部デジタルフィルタと外部デジタルフィルタI/Fを切り替える場合はRSTN bit = “0”とし、リセットしている期間中に切り替えてください。切り替えには2/fs ~ 3/fs程度かかります。DP bit = “1”、EXDF bit = “1”の場合はDSD modeになります。

自動切り替え設定(ADPE bit = “1”)では、DP bitの設定は無効化されます。EXDF bit = “0”の場合、#5 pinから入力される信号をモニタすることでPCM modeかDSD modeかを判定し、モードを自動で切り替えます。EXDF bit = “1”の場合、#6 pinから入力される信号をモニタすることでEXDF modeかDSD modeかを判定し、モードを自動で切り替えます。

Table 4. PCM/DSD/EXDF Mode Control, in Register Control Mode

ADPE	DP	EXDF	D/A Conv. Mode	Pin Assign				(default)
				#3 pin	#4 pin	#5 pin	#6 pin	
0	0	0	PCM	BICK	SDATA	LRCK	“L”	
	1	*	DSD	DCLK	DSDL	DSDR	“L”	
	0	1	EXDF	BCK	DINL	DINR	WCK	
1	*	0	Auto (PCM or DSD)	BCK/ DCLK	SDATA/ DSDL	LRCK/ DSDR	“L”	
		1	Auto (EXDF or DSD)	BCK/ DCLK	DINL/ DSDL	DINR/ DSDR	WCK/ “L”	

(\*: Do not care)

## ■ D/A変換モード切り替えタイミング

Figure 22、Figure 23にマニュアル切り替え設定(ADPE bit = "0")における、PCMもしくはEXDF modeとDSD modeの切り替えタイミングを示します。過大入力による異音を防止するため、PCMもしくはEXDF modeからDSD modeに切り替える場合は、RSTN bit = "0"を書き込んでから $4/f_s$ 以上経過し、内部が完全にリセットされた状態になってからDSD信号を入力してください。DSD modeからPCMもしくはEXDF modeに切り替える場合は、RSTN bit = "0"を書き込んでから $4/f_s$ 以上経過し、内部が完全にリセットされた状態になってからDSD信号を止めてください。

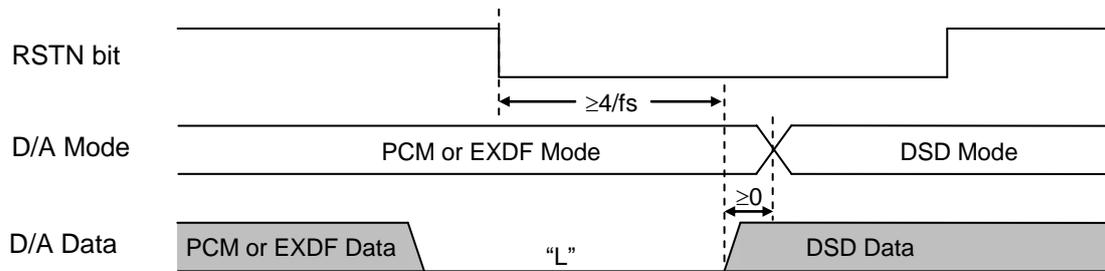


Figure 22. D/A Mode Switching Timing (from PCM/EXDF to DSD)

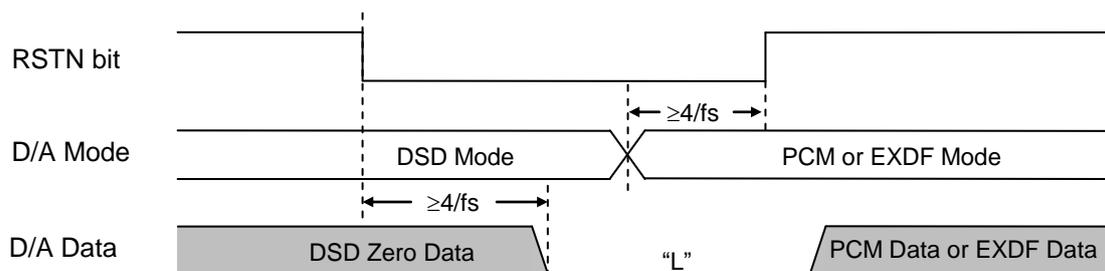


Figure 23. D/A Mode Switching Timing (from DSD to PCM/EXDF)

Figure 24にマニュアル切り替え設定(ADPE bit = "0")におけるPCM modeとEXDF modeとの切り替えタイミングを示します。モードを切り替える場合は、RSTN bit = "0"を設定してから $4/f_s$ 以上経過して、内部が完全にリセット状態になってからEXDF bitを設定してください。

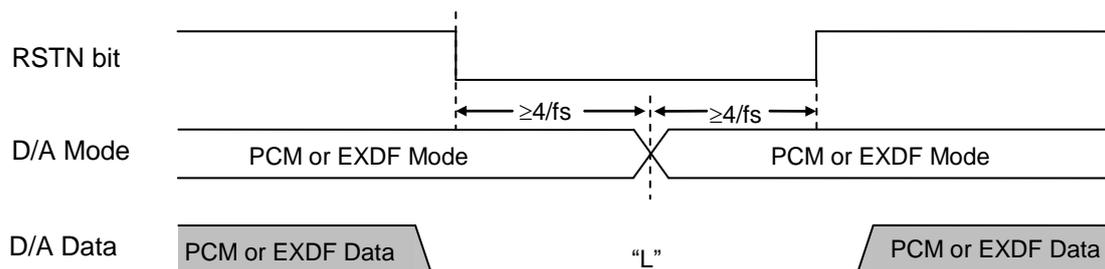


Figure 24. D/A Mode Switching Timing (from PCM to EXDF or from EXDF to PCM)

## ■ システムクロック

### [1] PCM Mode

PCM mode時に必要なクロックは、MCLK, BICK, LRCKです。MCLK, BICKとLRCKは同期する必要はありません。MCLKはインターポレーションフィルタ、 $\Delta\Sigma$ 変調器、およびSCFの動作に使用されます。MCLK周波数の設定は、手動設定する方法 (Manual Setting Mode)と、デバイス内で自動設定(Auto Setting Mode)する方法があります。

Manual Setting Mode (ACKS pin = "L" or ACKS bit = "0")では、MCLK周波数は自動検出されますが、DFS2-0 bitsによってサンプリングスピード(Normal/Double/Quad/Oct/Hex)を手動で設定します(Table 6)。サンプリングスピードはピンコントロールモード時(PSN pin = "H")はNormal Speed Modeに固定され、レジスタコントロールモード時(PSN pin = "L")はDFS2-0 bitsによって設定されます。レジスタコントロールモード時、パワーダウン解除時 (PDN pin = "L" → "H")はManual Setting Modeです。

Auto Setting Mode (ACKS pin = "H" or ACKS bit = "1")では、サンプリングスピードは自動検出され(Table 7, Table 11)、内部クロックは適切な周波数 (Table 8, Table 15, Table 16)に自動設定されます。MSTBN bit = "0"設定時、動作中にMCLKのエッジが入力されない状態が最短1  $\mu\text{sec}$ 以上続く場合は、自動的にコントロールレジスタ、バイアス生成回路およびLDO(LDOE pin = "H"時)を除くすべての回路がスタンバイ状態になり、アナログ出力はHi-Zとなります。MCLKを再入力後、スタンバイ状態が解除され動作を再開します。このとき、レジスタに書き込んだ設定は保持されます。

パワーダウン解除時 (PDN pin = "L" → "H")はMCLK, BICK, LRCKが入力されるまでスタンバイ状態で、アナログ出力はフローティング状態(Hi-Z)です。

Table 5. System Clock Setting Mode in Register Control Mode

ACKS	Mode	
0	Manual setting Mode	(default)
1	Auto setting Mode	

### (1) ピンコントロールモード (PSN pin = "H")

#### 1-1. Manual Setting Mode (ACKS pin = "L")

MCLK周波数は自動検出されます。各スピードでのMCLK周波数はTable 6で示される周波数を外部から供給してください。このモード時、DFS2-0 bitsは内部で"000"に固定されており、2倍速、4倍速には対応していません。

Table 6. System Clock Example (Manual Setting Mode in Pin Control Mode) (N/A: Not available)

LRCK	MCLK (MHz)					BICK
	fs	256fs	384fs	512fs	768fs	
fs	256fs	384fs	512fs	768fs	1152fs	64fs
32.0 kHz	8.1920	12.2880	16.3840	24.5760	36.8640	2.0480 MHz
44.1 kHz	11.2896	16.9344	22.5792	33.8688	N/A	2.8224 MHz
48.0 kHz	12.2880	18.4320	24.5760	36.8640	N/A	3.0720 MHz

## 1-2. Auto Setting Mode (ACKS pin = "H")

Auto Setting Modeでは、MCLK周波数とサンプリングスピードは自動検出([Table 7](#))されます。各スピードでのMCLK周波数は[Table 8](#), [Table 9](#)で示される周波数を外部から供給してください。

Table 7. Sampling Speed (Auto Setting Mode in Pin Control Mode)

MCLK		Sampling Speed
1152fs		Normal (fs ≤ 32 kHz)
512fs/256fs	768fs/384fs	Normal
256fs	384fs	Double
128fs	192fs	Quad
64fs	96fs	Oct
32fs	48fs	Hex

Table 8. System Clock Example (Auto Setting Mode in Pin Control Mode) (N/A: Not available)

LRCK fs	MCLK(MHz)						Sampling Speed
	32fs	48fs	64fs	96fs	128fs	192fs	
32.0 kHz	N/A	N/A	N/A	N/A	N/A	N/A	Normal
44.1 kHz	N/A	N/A	N/A	N/A	N/A	N/A	
48.0 kHz	N/A	N/A	N/A	N/A	N/A	N/A	
88.2 kHz	N/A	N/A	N/A	N/A	N/A	N/A	Double
96.0 kHz	N/A	N/A	N/A	N/A	N/A	N/A	
176.4 kHz	N/A	N/A	N/A	N/A	22.5792	33.8688	Quad
192.0 kHz	N/A	N/A	N/A	N/A	24.5760	36.8640	Quad
384 kHz	N/A	N/A	24.576	36.864	N/A	N/A	Oct
768 kHz	24.576	36.864	N/A	N/A	N/A	N/A	Hex

Table 9. System Clock Example (Auto Setting Mode in Pin Control Mode) (N/A: Not available)

LRCK fs	MCLK(MHz)						Sampling Speed
	256fs	384fs	512fs	768fs	1024fs	1152fs	
32.0 kHz	8.1920	12.2880	16.3840	24.5760	32.7680	36.8640	Normal
44.1 kHz	11.2896	16.9344	22.5792	33.8688	N/A	N/A	
48.0 kHz	12.2880	18.4320	24.5760	36.8640	N/A	N/A	
88.2 kHz	22.5792	33.8688	N/A	N/A	N/A	N/A	Double
96.0 kHz	24.5760	36.8640	N/A	N/A	N/A	N/A	
176.4 kHz	N/A	N/A	N/A	N/A	N/A	N/A	Quad
192.0 kHz	N/A	N/A	N/A	N/A	N/A	N/A	Quad
384 kHz	N/A	N/A	N/A	N/A	N/A	N/A	Oct
768 kHz	N/A	N/A	N/A	N/A	N/A	N/A	Hex

MCLK = 256fs/384fsのとき、Auto Setting Modeは8 kHz ~ 96 kHzのサンプリング周波数まで対応します。ただし、54 kHz以下のサンプリング周波数では、MCLK = 256fs/384fsでのDynamic Range, S/Nは、MCLK = 512fs/768fsの時に比べて3 dB程度劣化します([Table 10](#))。

Table 10. MCLK周波数とDynamic Range, S/Nの関係(fs = 44.1 kHz)

ACKS pin	MCLK	Dynamic Range, S/N (A-weighted)
L	256fs/384fs/512fs/768fs	120 dB
H	256fs/384fs	117 dB
H	512fs/768fs	120 dB

## (2) レジスタコントロールモード (PSN pin = “L”)

## 2-1. Manual Setting Mode (ACKS bit = “0”)

Manual Setting Mode (ACKS bit = “0”)では、MCLK周波数は自動検出されますが、DFS2-0 bitsでサンプリングスピードを設定します(Table 11)。各スピードでのMCLK周波数はTable 12, Table 13で示される周波数を外部から供給してください。パワーダウン解除時(PDN pin = “L” → “H”)はManual Setting Modeに設定されます。DFS2-0 bitsを切り替えた場合はRSTN bitでリセットしてください。

Table 11. Sampling Speed (Manual Setting Mode in Register Control Mode)

DFS2	DFS1	DFS0	Sampling Frequency (fs)		(default)
0	0	0	Normal Speed Mode	8 kHz ~ 54 kHz	
0	0	1	Double Speed Mode	54 kHz ~ 108 kHz	
0	1	0	Quad Speed Mode	108 kHz ~ 216 kHz	
0	1	1	Quad Speed Mode	108 kHz ~ 216 kHz	
1	0	0	Oct Speed Mode	216 kHz ~ 388 kHz	
1	0	1	Hex Speed Mode	388 kHz ~ 776 kHz	
1	1	0	Oct Speed Mode	216 kHz ~ 388 kHz	
1	1	1	Hex Speed Mode	388 kHz ~ 776 kHz	

Table 12. System Clock Example (Manual Setting Mode in Register Control Mode) (N/A: Not Available)

LRCK fs	MCLK(MHz)						Sampling Speed
	16fs	32fs	48fs	64fs	96fs	128fs	
32.0 kHz	N/A	N/A	N/A	N/A	N/A	N/A	Normal
44.1 kHz	N/A	N/A	N/A	N/A	N/A	N/A	
48.0 kHz	N/A	N/A	N/A	N/A	N/A	N/A	
88.2 kHz	N/A	N/A	N/A	N/A	N/A	N/A	
96.0 kHz	N/A	N/A	N/A	N/A	N/A	N/A	Double
176.4 kHz	N/A	N/A	N/A	N/A	N/A	22.5792	
192.0 kHz	N/A	N/A	N/A	N/A	N/A	24.5760	Quad
384 kHz	N/A	12.288	18.432	24.576	36.864	N/A	Oct
768 kHz	12.288	24.576	36.864	49.152	N/A	N/A	Hex

Table 13. System Clock Example (Manual Setting Mode in Register Control Mode) (N/A: Not Available)

LRCK fs	MCLK(MHz)							Sampling Speed
	192fs	256fs	384fs	512fs	768fs	1024fs	1152fs	
32.0 kHz	N/A	8.1920	12.2880	16.3840	24.5760	32.7680	36.8640	Normal
44.1 kHz	N/A	11.2896	16.9344	22.5792	33.8688	N/A	N/A	
48.0 kHz	N/A	12.2880	18.4320	24.5760	36.8640	N/A	N/A	
88.2 kHz	N/A	22.5792	33.8688	45.1584	N/A	N/A	N/A	
96.0 kHz	N/A	24.5760	36.8640	49.152	N/A	N/A	N/A	Double
176.4 kHz	33.8688	45.1584	N/A	N/A	N/A	N/A	N/A	
192.0 kHz	36.8640	49.152	N/A	N/A	N/A	N/A	N/A	Quad
384 kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	Oct
768 kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	Hex

## 2-2. Auto Setting Mode (ACKS bit = "1")

Auto Setting Mode (ACKS bit = "1")では、MCLK周波数とサンプリングスピードは自動検出(Table 14)されるため、DFS2-0 bitsの設定は不要です。各スピードでのMCLK周波数はTable 15, Table 16で示される周波数を外部から供給してください。

Table 14. Sampling Speed (Auto Setting Mode in Register Control Mode)

MCLK		Sampling Speed
1152fs		Normal (fs ≤ 32 kHz)
512fs/256fs	768fs/384fs	Normal
256fs	384fs	Double
128fs	192fs	Quad
64fs	96fs	Oct
32fs	48fs	Hex

Table 15. System Clock Example (Auto Setting Mode in Register Control Mode) (N/A: Not Available)

LRCK fs	MCLK(MHz)					Sampling Speed
	32fs	48fs	64fs	96fs	128fs	
32.0 kHz	N/A	N/A	N/A	N/A	N/A	Normal
44.1 kHz	N/A	N/A	N/A	N/A	N/A	
48.0 kHz	N/A	N/A	N/A	N/A	N/A	
88.2 kHz	N/A	N/A	N/A	N/A	N/A	
96.0 kHz	N/A	N/A	N/A	N/A	N/A	Double
176.4 kHz	N/A	N/A	N/A	N/A	22.5792	
192.0 kHz	N/A	N/A	N/A	N/A	24.5760	Quad
384 kHz	N/A	N/A	24.576	36.864	N/A	Oct
768 kHz	24.576	36.864	N/A	N/A	N/A	Hex

Table 16. System Clock Example (Auto Setting Mode in Register Control Mode) (N/A: Not Available)

LRCK fs	MCLK(MHz)						Sampling Speed
	192fs	256fs	384fs	512fs	768fs	1152fs	
32.0 kHz	N/A	8.1920	12.2880	16.3840	24.5760	36.8640	Normal
44.1 kHz	N/A	11.2896	16.9344	22.5792	33.8688	N/A	
48.0 kHz	N/A	12.2880	18.4320	24.5760	36.8640	N/A	
88.2 kHz	N/A	22.5792	33.8688	N/A	N/A	N/A	
96.0 kHz	N/A	24.5760	36.8640	N/A	N/A	N/A	Double
176.4 kHz	33.8688	N/A	N/A	N/A	N/A	N/A	
192.0 kHz	36.8640	N/A	N/A	N/A	N/A	N/A	Quad
384 kHz	N/A	N/A	N/A	N/A	N/A	N/A	Oct
768 kHz	N/A	N/A	N/A	N/A	N/A	N/A	Hex

MCLK = 256fs/384fsのとき、Auto Setting Modeは8 kHz ~ 96 kHzのサンプリング周波数まで対応します (Table 14)。ただし、54 kHz以下のサンプリング周波数では、MCLK = 256fs/384fsでのDynamic Range, S/Nは、MCLK = 512fs/768fsの時に比べて3 dB程度劣化します。

Table 17. MCLK周波数とDynamic Range, S/Nの関係(fs = 44.1 kHz)

ACKS bit	MCLK	Dynamic Range, S/N (A-weighted)
0	256fs/384fs/512fs/768fs	120 dB
1	256fs/384fs	117 dB
1	512fs/768fs	120 dB

## [2] DSD Mode

AK4490RはDSD再生機能があります。DSD modeで必要なクロックは、MCLK, DCLKです。MCLKとDCLKは同期する必要はありますが位相を合わせる必要はありません。MCLK周波数はDCKS bitで設定します(Table 18)。MSTBN bit = “0”設定時、動作中(PDN pin = “H”)に、MCLKが止まった場合は、AK4490Rは自動的にスタンバイ状態になり、アナログ出力はHi-Zとなります。電源ON等のリセット解除時(PDN pin = “L” → “H”)はMCLKとDCLKが入力されるまでスタンバイ状態です。

Table 18. System Clock (DSD Mode, fs = 32 kHz, 44.1 kHz, 48 kHz)

DCKS	MCLK Frequency	DCLK Frequency	
0	512fs	64fs/128fs/256fs	(default)
1	768fs	64fs/128fs/256fs	

AK4490RはDSDデータストリームのDSD64とDSD128とDSD256に対応します。設定はDSDSEL1-0 bitsで行います(Table 19)。

Table 19. DSD Data Stream Selection

DSD Mode	DSDSEL1	DSDSEL0	DCLK Frequency	DSD data stream			
				fs = 32 kHz	fs = 44.1 kHz	fs = 48 kHz	
DSD64	0	0	64fs	2.048 MHz	2.8224 MHz	3.072 MHz	(default)
DSD128	0	1	128fs	4.096 MHz	5.6448 MHz	6.144 MHz	
DSD256	1	*	256fs	8.192 MHz	11.2896 MHz	12.288 MHz	

(\*: Do not care)

AK4490RはDSDを再生する際に、内部のDAT回路および $\Delta\Sigma$ モジュレータをバイパスするかどうかを選択することが可能です(Table 20)。DSDD bit = “1”にすると、DAT回路および $\Delta\Sigma$ モジュレータをバイパスした再生パスを選択するため、デジタルアテネータおよびゼロ検出機能が使用できません。

Table 20. DSD Playback Path Selection

DSDD	Mode	
0	Normal Path	(default)
1	Volume Bypass	

**[3] 外部デジタルフィルタモード (EXDF Mode)**

外部デジタルフィルタモード時に必要なクロックはMCLK, BCKおよびWCKです。BCKにはMCLKと同じクロックを入力してください。BCK, MCLKはバーストしたものを入力しないでください。各スピードでのMCLKとBCKの周波数はTable 21で示される周波数を外部から入力してください。ECS bitによってWCKの384 kHz、768 kHzの2種から選択する事が可能です。

MSTBN bit = “0”設定時、動作中にMCLKのエッジが入力されない状態が最小1 μsec以上続く場合は、自動的にコントロールレジスタ、バイアス生成回路およびLDO(LDOE pin = “H” 時)を除くすべての回路がスタンバイ状態になり、アナログ出力はHi-Zとなります。MCLKを再入力後、スタンバイ状態が解除され動作を再開します。このとき、レジスタに書き込んだ設定は保持されます。パワーダウン解除時 (PDN pin = “L” → “H”)は MCLK, BCK, WCKが入力されるまでスタンバイ状態です。

Table 21. System Clock Example (EXDF Mode) (N/A: Not available)

ECS bit	WCK Frequency [kHz]	MCLK & BCK [MHz]			
		32fs	48fs	64fs	96fs
1	352.8	11.2896	16.9344	22.5792	33.8688
	384	12.288	18.432	24.576	36.864
0	705.6	22.5792	33.8688	N/A	N/A
	768	24.576	36.864	N/A	N/A

(default)

## ■ オーディオインタフェースフォーマット

### [1] PCM Mode

#### (1) 入力データフォーマット

オーディオデータはBICKとLRCKを使ってSDATAから入力されます。8種類のデータフォーマット (Table 22)は、DIF2-0 pins(ピンコントロールモード)または、DIF2-0 bits (レジスタコントロールモード)で選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでBICKの立ち上がりで取り込みます。前詰めフォーマットにおいて、既定のビット数より少ないビット数で使用する場合はデータのないLSBには“0”を入力してください。

#### Normal Mode (TDM 1-0 bits = “00”)

オーディオデータはBICKとLRCKを使ってSDATAから2ch分のデータが入力されます。8種類のデータフォーマット (Table 22)がDIF2-0 bitsまたはDIF2-0 pinsで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでBICKの立ち上がりで取り込みます。

#### TDM128 Mode (TDM 1-0 bits = “01”)

オーディオデータはBICKとLRCKを使ってSDATAから4ch分のデータが入力されます。データはSDS2-0 bitsで選択可能です (Table 23)。BICKは128fs固定です。6種類のデータフォーマット (Table 22)がDIF2-0 bitsまたはDIF2-0 pinsで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでBICKの立ち上がりで取り込みます。

#### TDM256 Mode (TDM 1-0 bits = “10”)

オーディオデータはBICKとLRCKを使ってSDATAから8ch分のデータが入力されます。データはSDS2-0 bitsで選択可能です (Table 23)。BICKは256fs固定です。6種類のデータフォーマット (Table 22)がDIF2-0 bitsまたはDIF2-0 pinsで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでBICKの立ち上がりで取り込みます。

#### TDM512 Mode (TDM 1-0 bits = “11”)

オーディオデータはBICKとLRCKを使ってSDATAから16ch分のデータが入力されます。データはSDS2-0 bitsで選択可能です (Table 23)。BICKは512fs固定です。6種類のデータフォーマット (Table 22)がDIF2-0 bitsまたはDIF2-0 pinsで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでBICKの立ち上がりで取り込みます。

Table 22. Audio Interface Format (PCM Mode)

Mode		TDM1 bit	TDM0 bit	DIF2	DIF1	DIF0	SDATA Format	LRCK	BICK	Figure
Normal (Note 41)	0	0	0	0	0	0	16-bit 後詰め	H/L	≥32fs	Figure 25
	1			0	0	1	20-bit 後詰め	H/L	≥40fs	Figure 26
	2			0	1	0	24-bit 前詰め	H/L	≥48fs	Figure 27
	3			0	1	1	16-bit I <sup>2</sup> S 互換	L/H	32fs	Figure 28
				24-bit I <sup>2</sup> S 互換	L/H	≥48fs				
	4			1	0	0	24-bit 後詰め	H/L	≥48fs	Figure 26
	5			1	0	1	32-bit 後詰め	H/L	≥64fs	Figure 29
	6			1	1	0	32-bit 前詰め	H/L	≥64fs	Figure 30 (default)
7	1	1	1	32-bit I <sup>2</sup> S 互換	L/H	≥64fs	Figure 31			
TDM128		0	1	0	0	0	Not Available			
				0	0	1	Not Available			
	8			0	1	0	24-bit 前詰め	H/L	128fs	Figure 32
	9			0	1	1	24-bit I <sup>2</sup> S 互換	L/H	128fs	Figure 33
	10			1	0	0	24-bit 後詰め	H/L	128fs	Figure 34
	11			1	0	1	32-bit 後詰め	H/L	128fs	Figure 32
	12			1	1	0	32-bit 前詰め	H/L	128fs	Figure 32
	13			1	1	1	32-bit I <sup>2</sup> S 互換	L/H	128fs	Figure 33
TDM256		1	0	0	0	0	Not Available			
				0	0	1	Not Available			
	14			0	1	0	24-bit 前詰め	H/L	256fs	Figure 35
	15			0	1	1	24-bit I <sup>2</sup> S 互換	L/H	256fs	Figure 36
	16			1	0	0	24-bit 後詰め	H/L	256fs	Figure 37
	17			1	0	1	32-bit 後詰め	H/L	256fs	Figure 35
	18			1	1	0	32-bit 前詰め	H/L	256fs	Figure 35
	19			1	1	1	32-bit I <sup>2</sup> S 互換	L/H	256fs	Figure 36
TDM512		1	1	0	0	0	Not Available			
				0	0	1	Not Available			
	20			0	1	0	24-bit 前詰め	H/L	512fs	Figure 38
	21			0	1	1	24-bit I <sup>2</sup> S 互換	L/H	512fs	Figure 39
	22			1	0	0	24-bit 後詰め	H/L	512fs	Figure 40
	23			1	0	1	32-bit 後詰め	H/L	512fs	Figure 38
	24			1	1	0	32-bit 前詰め	H/L	512fs	Figure 38
	25			1	1	1	32-bit I <sup>2</sup> S 互換	L/H	512fs	Figure 39

Note 41. 各チャンネルに対して、設定したbit以上のBICKを入力してください。

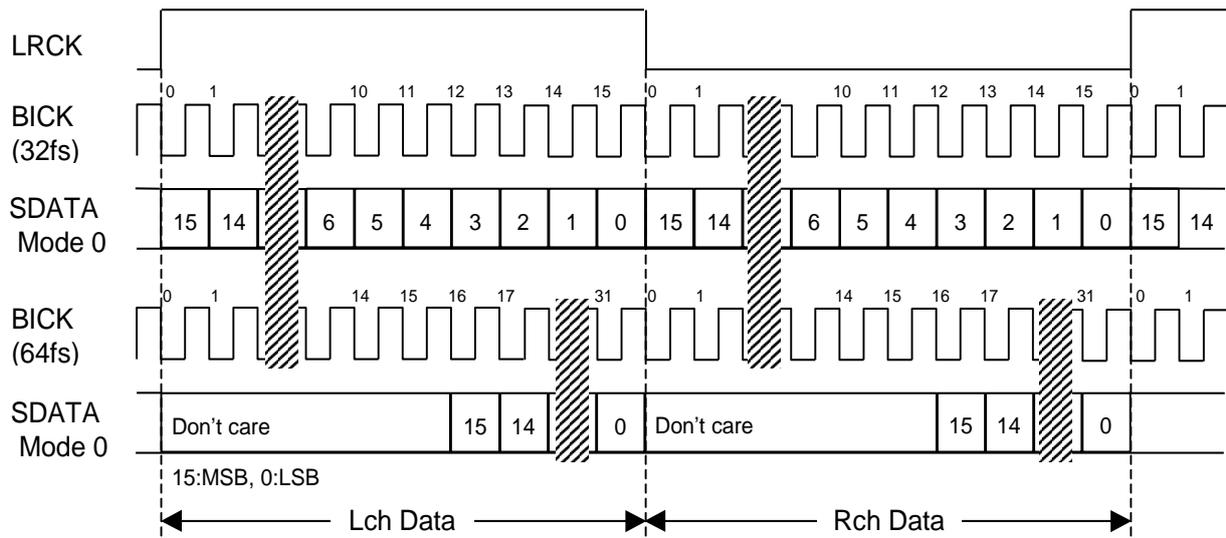


Figure 25. Mode 0 Timing

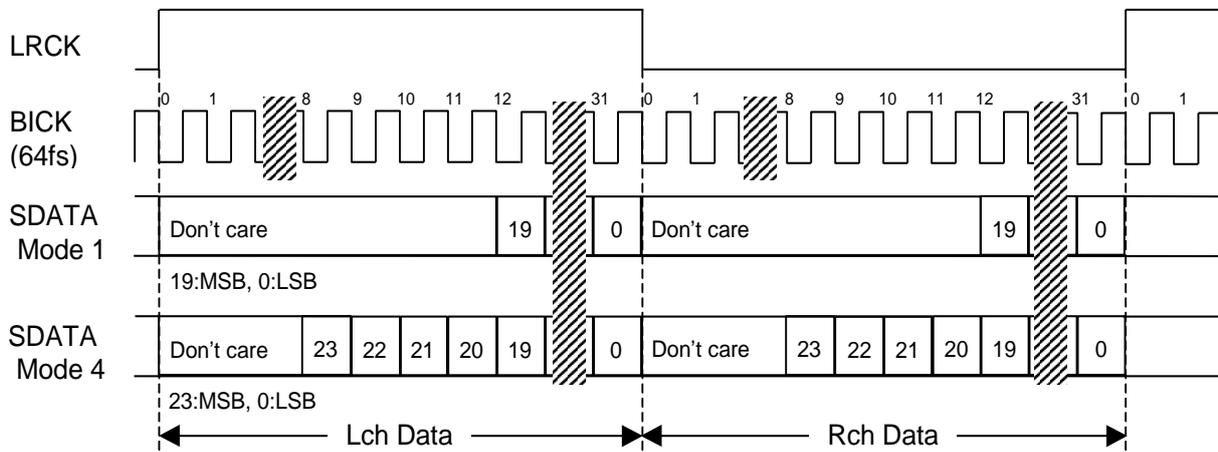


Figure 26. Mode 1, 4 Timing

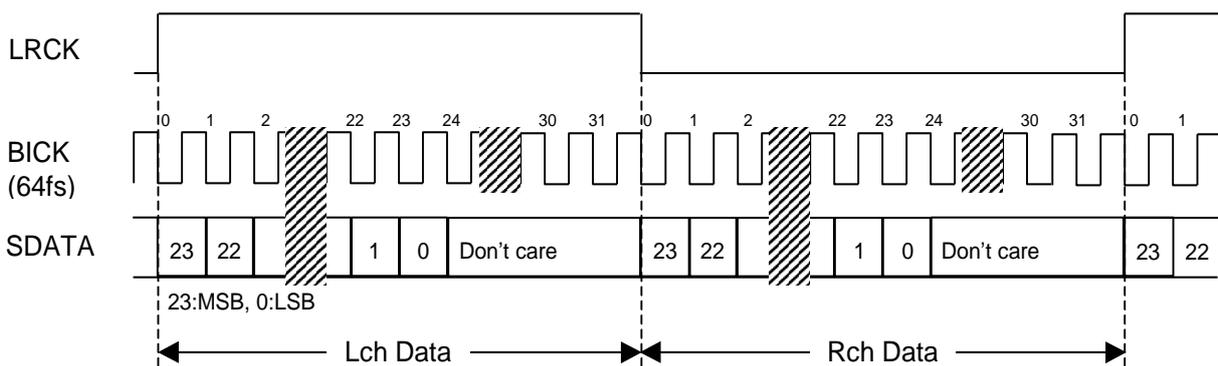


Figure 27. Mode 2 Timing

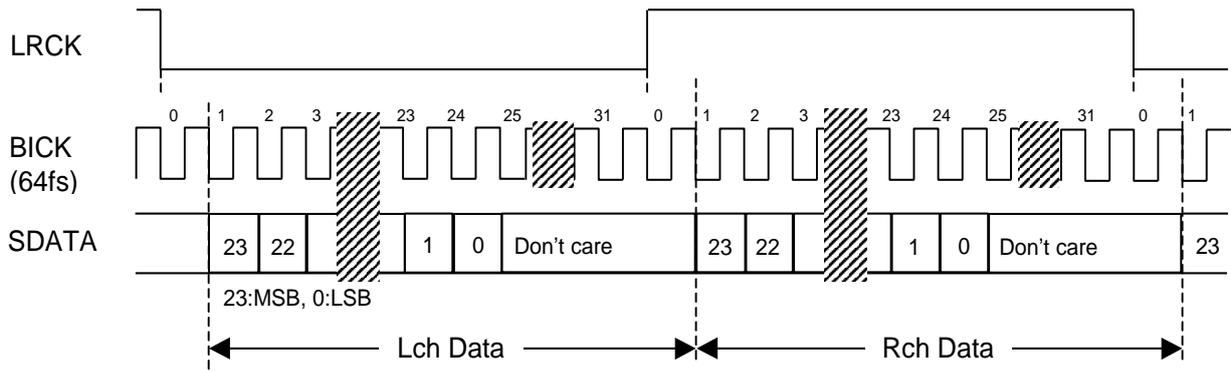


Figure 28. Mode 3 Timing

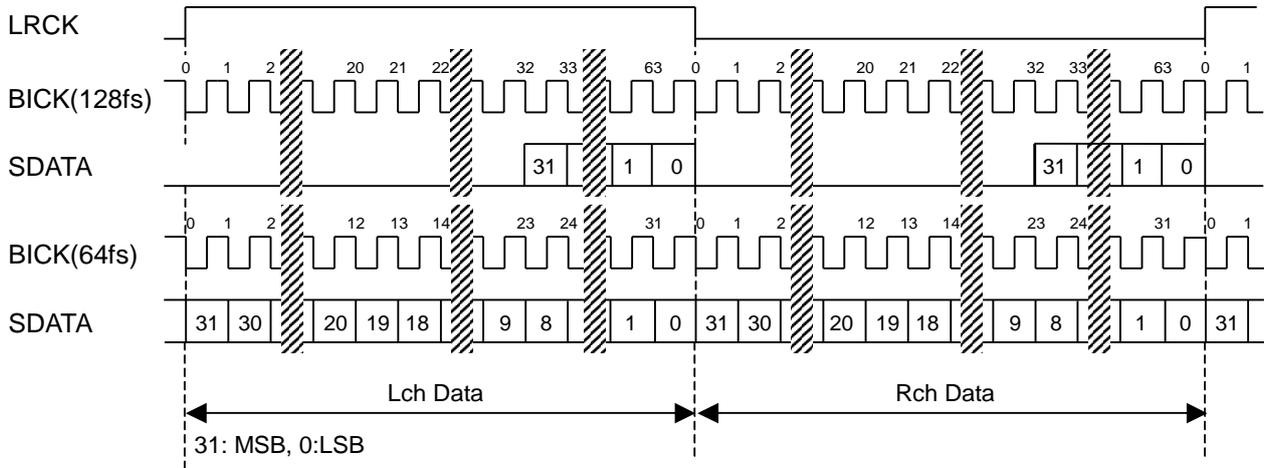


Figure 29. Mode 5 Timing

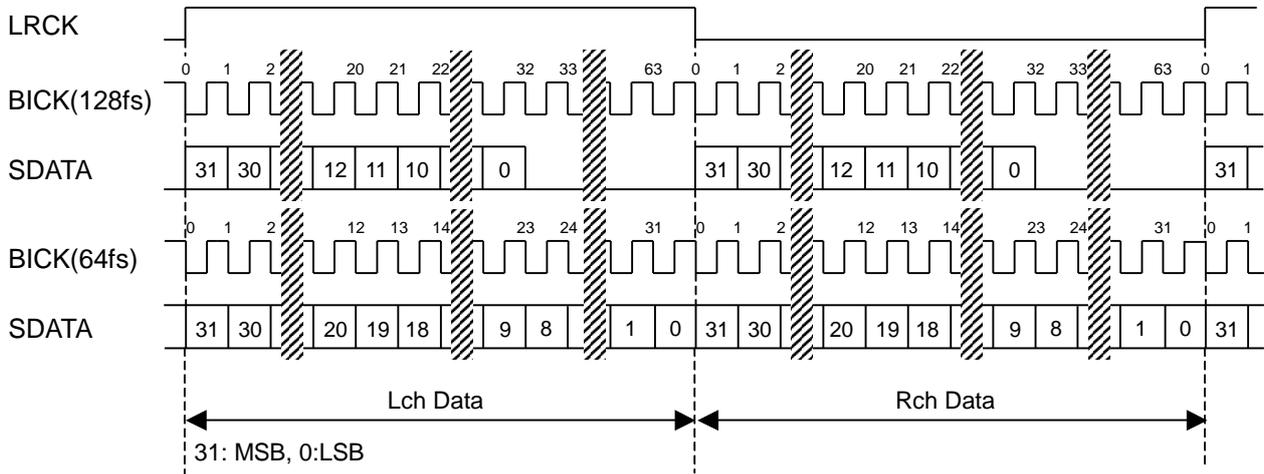


Figure 30. Mode 6 Timing

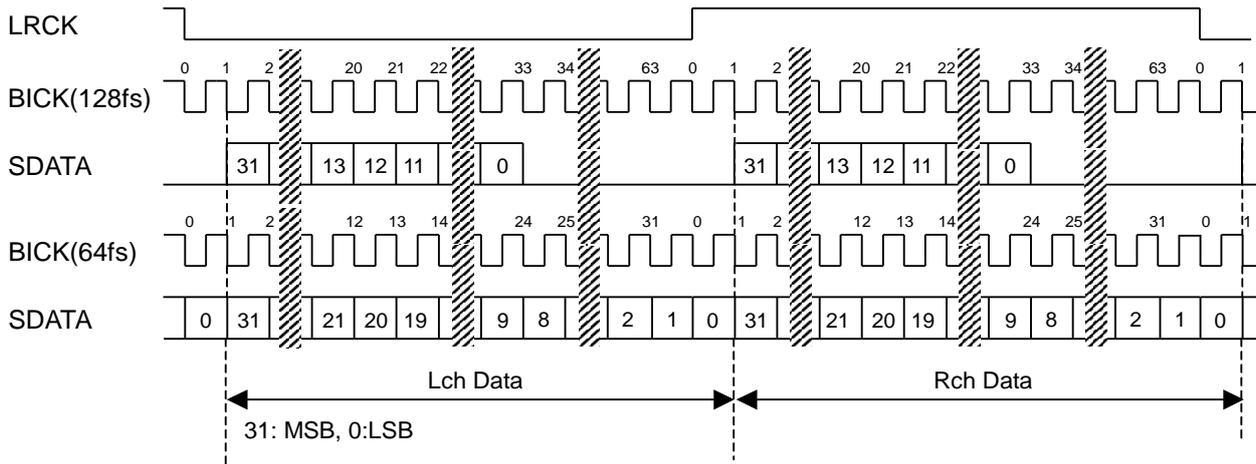


Figure 31. Mode 7 Timing

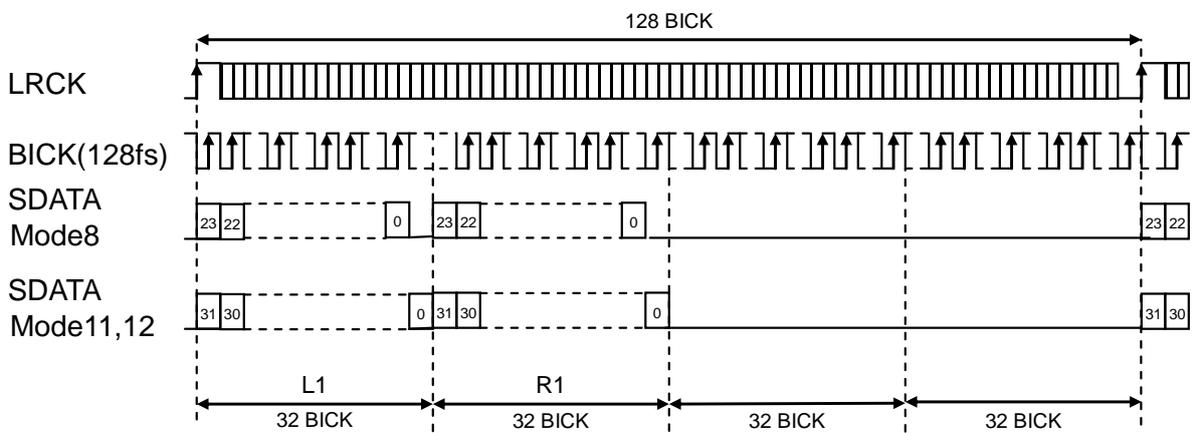


Figure 32. Mode 8/11/12 Timing

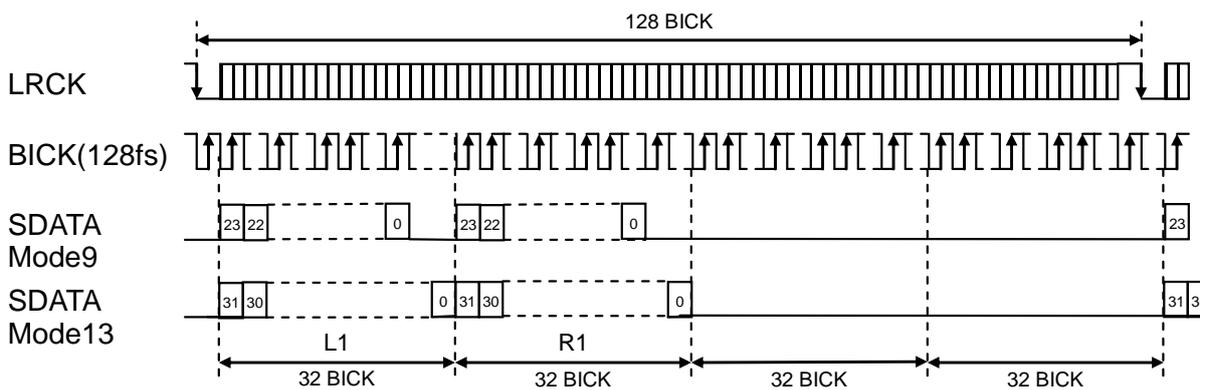


Figure 33. Mode 9/13 Timing

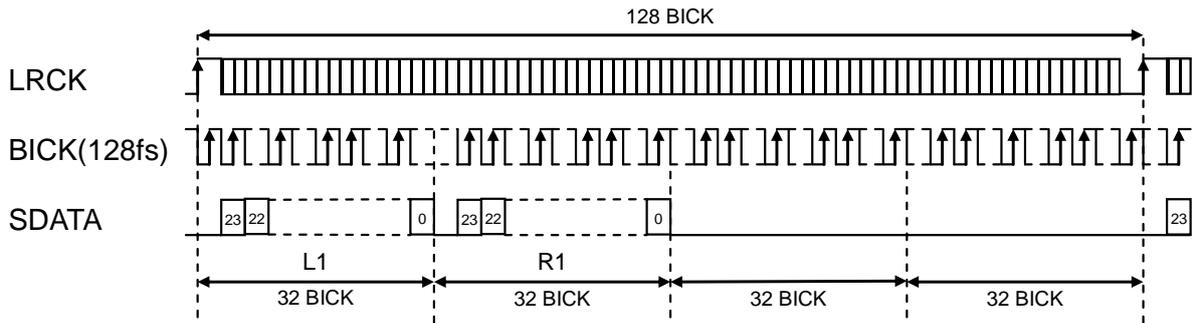


Figure 34. Mode 10 Timing

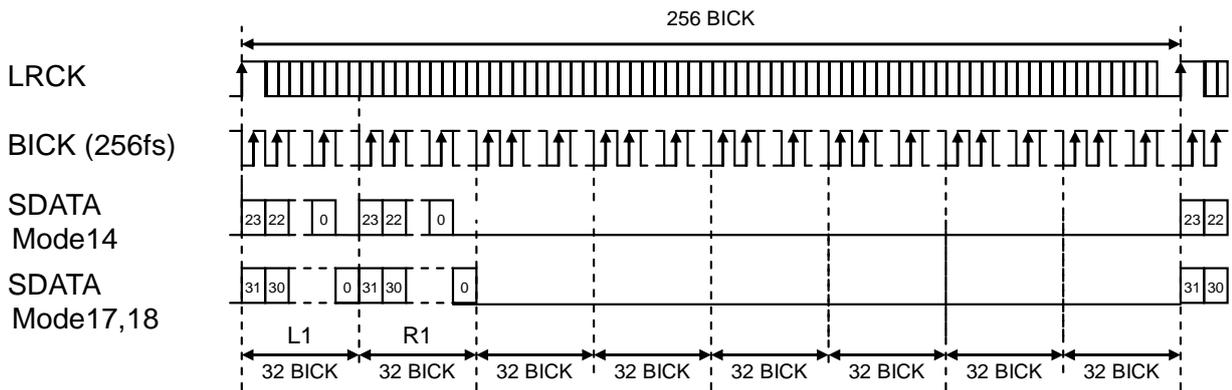


Figure 35. Mode 14/17/18 Timing

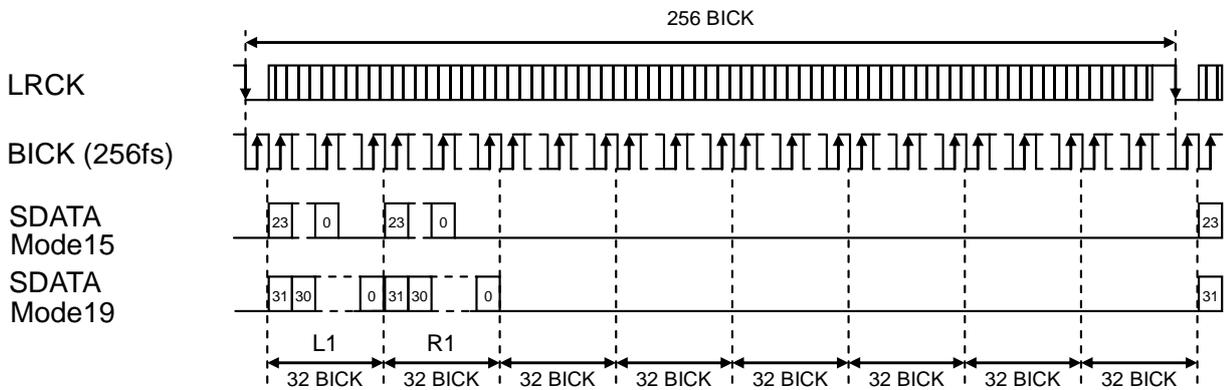


Figure 36. Mode 15/19 Timing

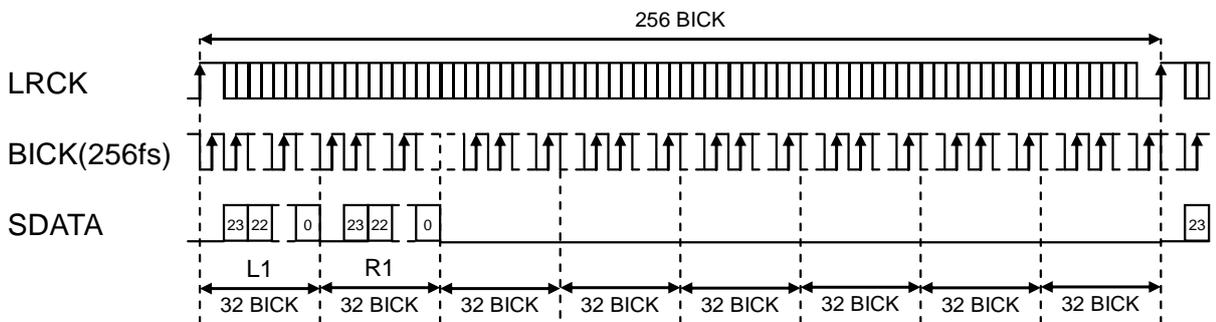


Figure 37. Mode 16 Timing

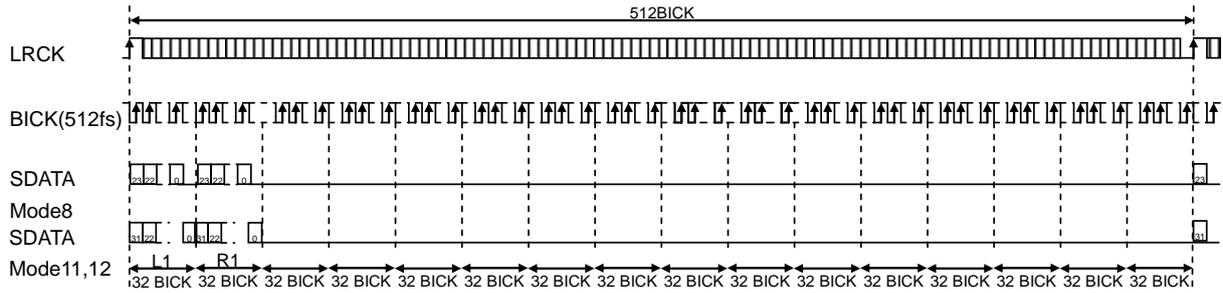


Figure 38. Mode 20/23/24 Timing

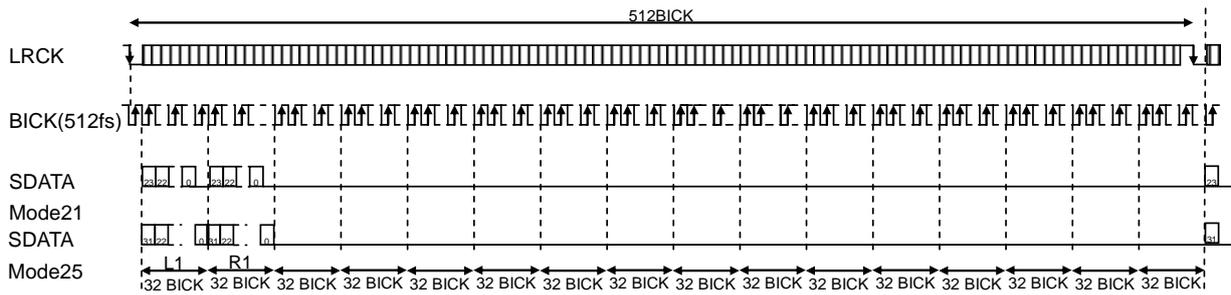


Figure 39. Mode 21/25 Timing

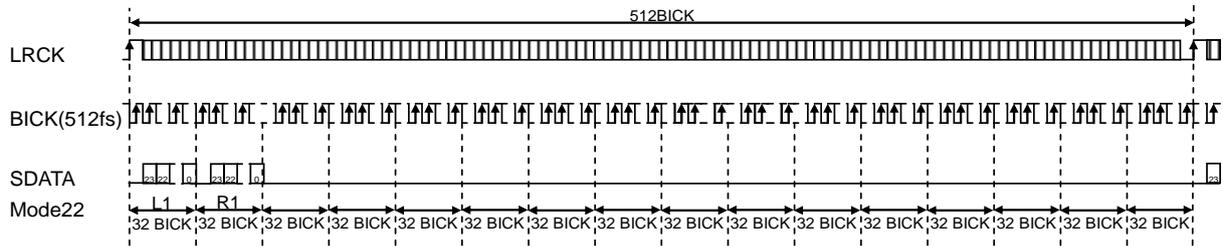


Figure 40. Mode 22 Timing

## (2) データスロット選択機能

各オーディオデータフォーマットにおける、LRCK1周期分のデータスロットをFigure 41 ~ Figure 44のように定義します。Table 23に示すように、AK4490RはSDS2-0 bitsで再生するデータを選択することができます。

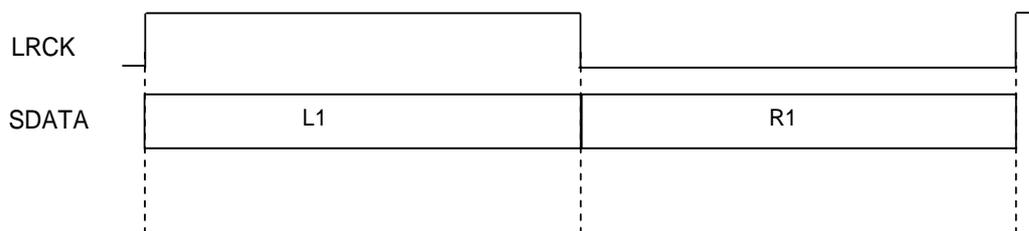


Figure 41. Data Slot in Normal Mode

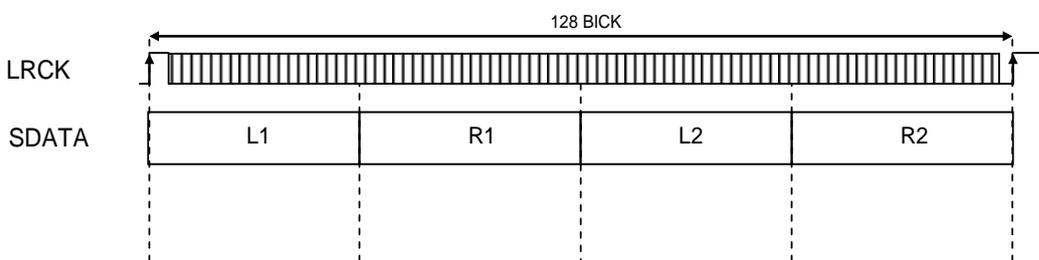


Figure 42. Data Slot in TDM128 Mode

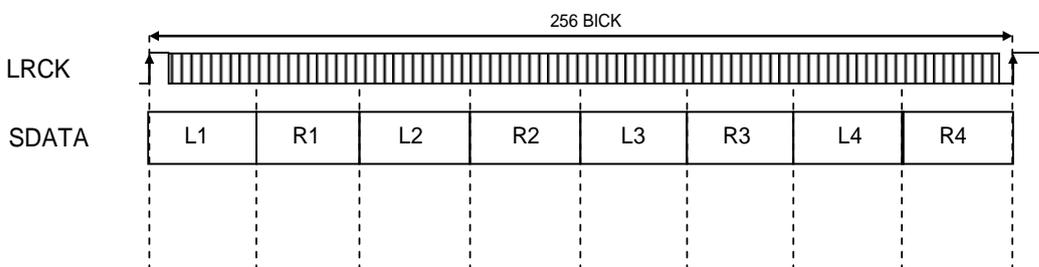


Figure 43. Data Slot in TDM256 Mode

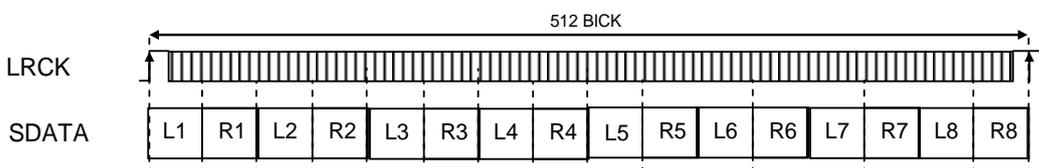


Figure 44. Data Slot in TDM512 Mode

Table 23. Data Select

	TDM1	TDM0	SDS2	SDS1	SDS0	Lch	Rch
Normal	0	0	*	*	*	L1	R1
TDM128	0	1	*	*	0	L1	R1
			*	*	1	L2	R2
TDM256	1	0	*	0	0	L1	R1
			*	0	1	L2	R2
			*	1	0	L3	R3
			*	1	1	L4	R4
TDM512	1	1	0	0	0	L1	R1
			0	0	1	L2	R2
			0	1	0	L3	R3
			0	1	1	L4	R4
			1	0	0	L5	R5
			1	0	1	L6	R6
			1	1	0	L7	R7
			1	1	1	L8	R8

(\*: Do not care)

[2] DSD Mode

DSD mode時、DSDLにLch、DSDRにRchのデータをDCLKに同期して入力してください。DSD mode時は、DIF2-0 pinsおよびDIF2-0 bitsの設定は無効です。DSDSEL1-0 bitsにより、DCLK周波数は64fs、128fs、256fsと可変です。DCLKの極性はDCKB bitで反転することが可能です。

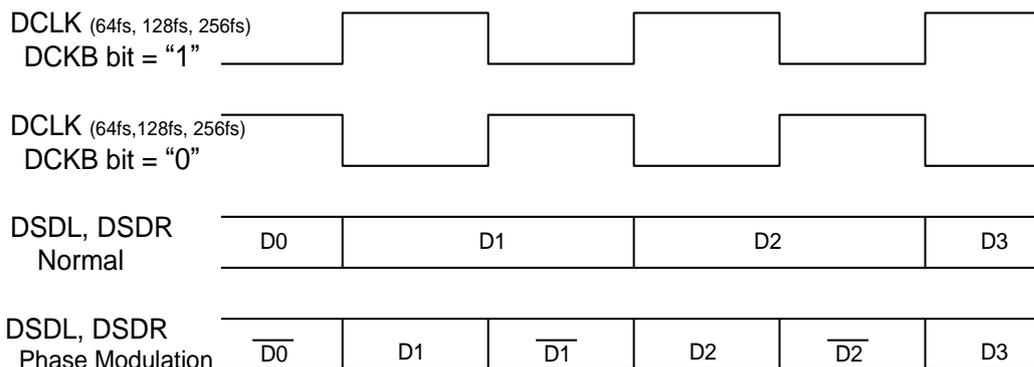


Figure 45. DSD Mode Timing

[3] 外部デジタルフィルタモード (EXDF Mode)

外部デジタルフィルタモード時は、BCKおよびWCKを使って、DINLにLch、DINRにRchのデータを入力します。3種類のデータフォーマット(Table 24)がDIF2-0 bitsで選択できます。データはBCKの立ち上がりでラッチされます。BCK, MCLKはバーストしたものを入力しないでください。

Table 24. Audio Interface Format (EXDF Mode) (N/A: Not available)

Mode	DIF2	DIF1	DIF0	Input Format
0	0	0	0	16-bit 後詰め
1	0	0	1	N/A
2	0	1	0	16-bit 後詰め
3	0	1	1	N/A
4	1	0	0	24-bit 後詰め
5	1	0	1	32-bit 後詰め
6	1	1	0	24-bit 後詰め (default)
7	1	1	1	32-bit 後詰め

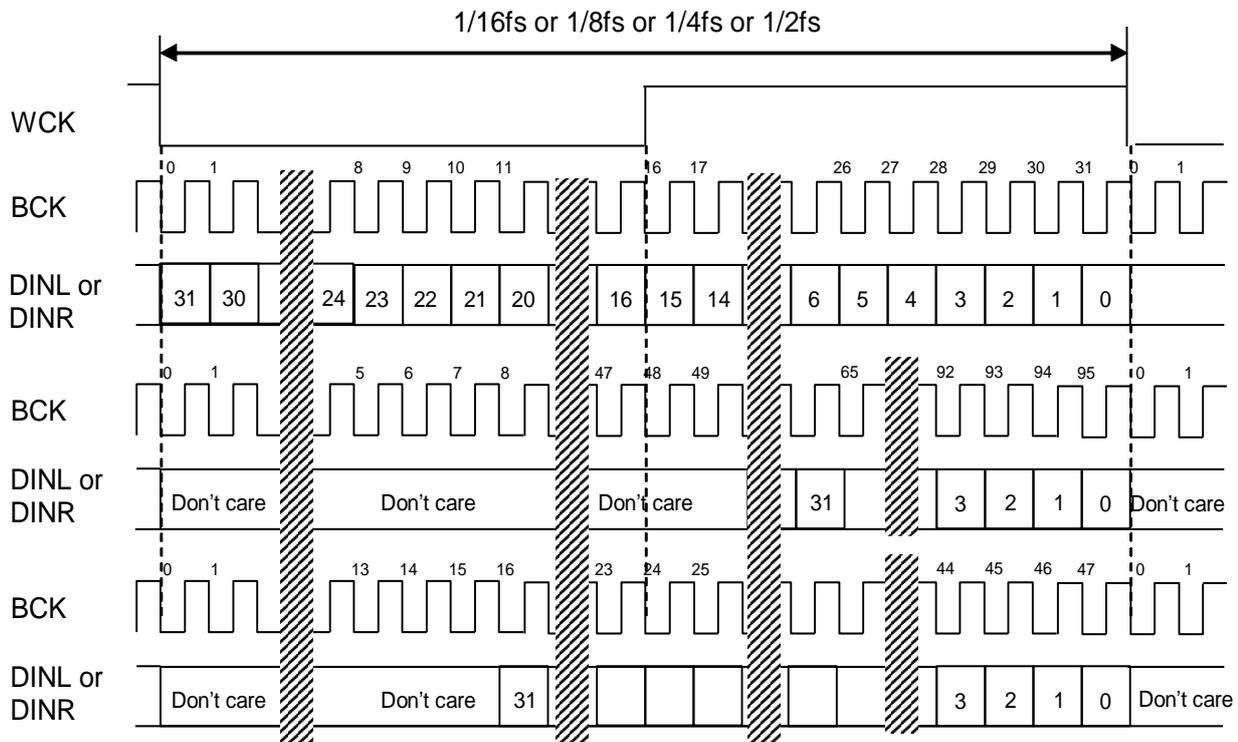


Figure 46. EXDF Mode Timing

### ■ デジタルフィルタ(PCM, DSD Mode)

AK4490RではPCM modeで6種類, DSD modeで2種類のデジタルフィルタを設定できます。それぞれ好みの音質で音楽再生が可能です。

PCM mode時、ピンコントロールモードではSD, SLOW, SSLOW pin、レジスタコントロールモードではSD, SLOW, SSLOW bitを設定することにより、Table 25のようにデジタルフィルタを選択することが可能です。

Table 25. Digital Filter Setting

SSLOW	SD	SLOW	Mode
0	0	0	Sharp roll-off filter
0	0	1	Slow roll-off filter
0	1	0	Short delay sharp roll-off filter
0	1	1	Short delay slow roll-off filter
1	0	*	Super Slow roll-off filter
1	1	*	Low dispersion Short delay filter

(\*: Do not care)

DSD mode時、DSD bitでデジタルフィルタのカットオフ周波数を切り替えることができます。Table 26に $f_s = 44.1$  kHz時のカットオフ周波数を示します。カットオフ周波数は $f_s$ に比例します。

Table 26. DSD Filter Select

DSD bit	Cut Off Frequency @ $f_s = 44.1$ kHz		
	DSD64	DSD128	DSD256
0	39 kHz	78 kHz	156 kHz
1	76 kHz	152 kHz	304 kHz

(default)

### ■ ディエンファシスフィルタ (PCM Mode)

AK4490RはIIRフィルタによる32 kHz, 44.1 kHz or 48 kHz 対応のディエンファシスフィルタ(50/15  $\mu$ sec 特性)を内蔵しています。DSD mode、EXDF mode時にはDEM1-0 bitsは無効です。PCM modeとDSD mode、EXDF modeを切り替えても設定値は保持されます。

Table 27. De-emphasis Control (Register Control Mode)

DEM1	DEM0	Mode
0	0	44.1 kHz
0	1	OFF
1	0	48 kHz
1	1	32 kHz

(default)

Table 28. De-emphasis Control (Pin Control Mode)

DEM0 pin	Mode
L	44.1 kHz
H	OFF

### ■ デジタルアテネータ (PCM, DSD, EXDF Mode)

AK4490RはMUTEを含む0.5 dBステップ、256レベルのチャネル独立デジタル出力アテネータ(ATT)を内蔵しています。設定値間の遷移はソフト遷移です。したがって、遷移中にスイッチングノイズは発生しません。ATTL/R7-0 bitsをFFHに設定した時の出力信号レベルを0 dBと定義すると、0 dBから-127 dBまでアテネーション、またはミュートします。

Table 29. Attenuation Level of Digital Attenuator

ATTL/R 7-0 bits (register 03-04H)	Attenuation Level	
FFH	+0 dB	(default)
FEH	-0.5 dB	
FDH	-1.0 dB	
:	:	
:	:	
02H	-126.5 dB	
01H	-127.0 dB	
00H	MUTE (-∞)	

アテネーションの遷移時間はATS1-0 bitsで設定します(Table 30)。PCM modeとDSD modeを切り替えてもレジスタ設定値は保持されます。

Table 30. Transition Time (0 dB to MUTE)

Mode	ATS1	ATS0	Transition Time			
			EXDF bit = "0", DP bit = "0"	EXDF bit = "1", DP bit = "0"	DP bit = "1"	
0	0	0	4080/fs	4080*WCK周期	4080/(2*fs)	(default)
1	0	1	2040/fs	2040*WCK周期	2040/(2*fs)	
2	1	0	510/fs	510*WCK周期	510/(2*fs)	
3	1	1	255/fs	255*WCK周期	255/(2*fs)	

Mode 0の場合、“FFH”(0 dB)から“00H”(MUTE)までには4080/fs (92.5 msec @ fs = 44.1 kHz)かかります。PDN pinを“L”にすると、ATTL/R7-0 bitsは“FFH”に初期化されます。リセット期間中にATTL/R7-0 bitsの設定を変更した場合、リセット解除後に設定値になります。リセット解除後10/fs以内にATTL/R7-0 bitsの設定を変更した場合、ソフト遷移せず即座に設定値になります。

### ■ ゲイン調整機能 (PCM, DSD, EXDF Mode)

アナログ出力振幅のゲイン調整が可能です。GC2-0 bitsによって出力振幅を調整してください。

Table 31. Output Level between Set Values of GC2-0 bits

GC2	GC1	GC0	AOUTLP/LN/RP/RN Output Level		
			PCM	DSD: Normal Path	DSD: Volume Bypass
*	0	0	2.8 Vpp	2.8 Vpp	2.5 Vpp
*	0	1	2.8 Vpp	2.5 Vpp	2.5 Vpp
*	1	0	2.5 Vpp	2.5 Vpp	2.5 Vpp
*	1	1	2.5 Vpp	2.5 Vpp	2.5 Vpp

(default)

(\*: Do not care)

### ■ ゼロ検出機能 (PCM, DSD, EXDF Mode)

AK4490Rはチャンネル独立のゼロ検出機能を持ち、DZFE bit = “1”, DDMOE bit = “0”を設定するとDZFL/R pinにゼロ検出フラグを出力します。Figure 47で示すモニタノード(PCM, DSD, EXDF再生パスのDATT Soft Mute出力)のデータが8192回連続して“ゼロ”の場合、DZFL/R pinに検出フラグを出力します。検出フラグの極性はDZFB bit = “0”時は“H”でゼロ検出、DZFB bit = “1”時は“L”でゼロ検出です。

DZFB bit = “0”時、DZFL/R pinが“H”になった後、各チャンネルのデータが“0”でなくなると対応するチャンネルのDZFL/R pinが“L”になります。DZFB bit = “0”時、RSTN bitが“0”の場合、DZFL/R pinが“H”となります。その後、RSTN bitを“1”とした後、各チャンネルのデータが“0”でなくなると対応するチャンネルのDZFL/R pinが4/fs ~ 5/fs後に“L”になります。

また、DZFB bit = “0”時にDZFM bitを“1”にすると両チャンネルのデータが8192回連続して“0”の場合のみ、DZFL/R pinが“H”になります。

DZFE bitを“0”に設定するとゼロ検出フラグは出力されず、DZFL/R pinは“L”を出力します。また、DSD modeでVolume Bypassを選択した場合(Table 20)、ゼロ検出機能は無効です。

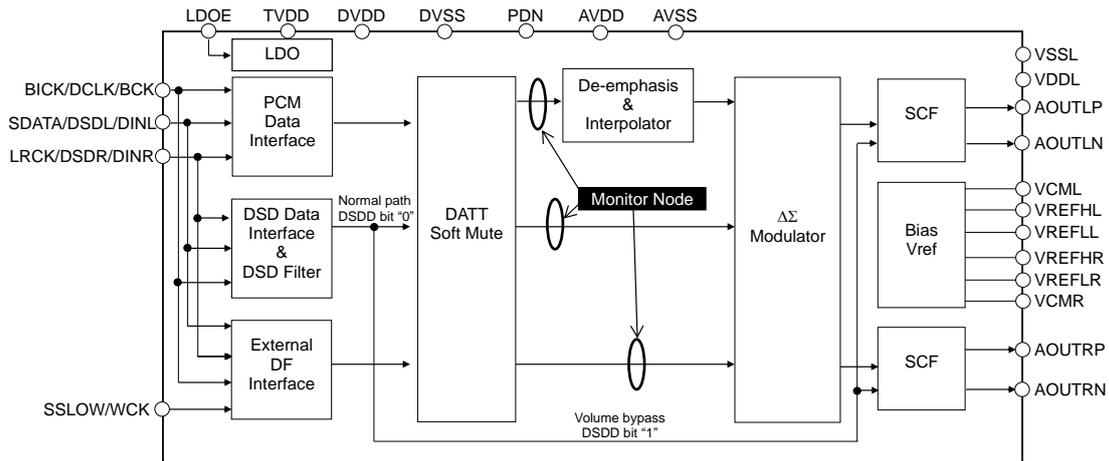


Figure 47. ゼロ検出機能モニタノード

Table 32. Zero Detect Select

DZFE	DZFB	RSTN	Data	DZFL/R pin	(default)
0	0	*	*	L	
	1	*	*	H	
1	0	0	*	H	
		1	not zero	L	
	1	0	*	L	
		1	not zero	H	
		1	zero detect	L	

(\*: Do not care)

DZFL/R pin は、DSD フルスケール検出信号出力機能も兼ねています。DDMOE bit を“1”に設定すると、DZFL/R pin から DSD フルスケール検出信号(DMR, DML)を出力します。DZFL/R pin に出力する信号の設定はTable 33のとおりです。なお、DZFB bit = “1”の場合、出力信号の極性が反転します。

Table 33. DZFL/DZFR Pinに出力する信号の設定

DDMOE	DZFE	DZFM	DZFL pin	DZFR pin	(default)
0	0	*	L	L	
		0	Lch ゼロ検出フラグ	Rch ゼロ検出フラグ	
	1	1	Lch ゼロ検出フラグと Rch ゼロ検出フラグの AND信号	Lch ゼロ検出フラグと Rch ゼロ検出フラグの AND信号	
1	*	0	DML	DMR	
	0	1	L	DMLとDMRの OR信号	
	1	1	Lch ゼロ検出フラグと Rch ゼロ検出フラグの AND信号		

(\*: Do not care)

### ■ LRチャンネル出力信号選択、位相反転機能 (PCM, DSD, EXDF Mode)

AK4490Rはレジスタコントロール時に、MONO bitとSELLR bitで入力と出力の組み合わせを変更できます。また、INVL, INVR bitを使った出力信号の位相反転機能もあわせて使用可能です。これらの機能はすべてのオーディオフォーマットで使用できます。ピンコントロール時には、INV pinを使って、LchとRchの信号の位相を反転できます。

Table 34. Output Select (in Register Control Mode)

MONO bit	SELLR bit	INVL bit	INVR bit	Lch Out	Rch Out	(default)
0	0	0	0	Lch In	Rch In	
		0	1	Lch In	Rch In Invert	
		1	0	Lch In Invert	Rch In	
		1	1	Lch In Invert	Rch In Invert	
0	1	0	0	Rch In	Lch In	
		0	1	Rch In	Lch In Invert	
		1	0	Rch In Invert	Lch In	
		1	1	Rch In Invert	Lch In Invert	
1	0	0	0	Lch In	Lch In	
		0	1	Lch In	Lch In Invert	
		1	0	Lch In Invert	Lch In	
		1	1	Lch In Invert	Lch In Invert	
1	1	0	0	Rch In	Rch In	
		0	1	Rch In	Rch In Invert	
		1	0	Rch In Invert	Rch In	
		1	1	Rch In Invert	Rch In Invert	

Table 35. Output Select (Pin Control Mode)

INV pin	Lch Out	Rch Out
0	Lch In	Rch In
1	Lch In Invert	Rch In Invert

### ■ 音質調整機能 (PCM, DSD, EXDF Mode)

AK4490RはSC2 bitにて音質をコントロールできます。AK4490Rのアナログ特性の仕様はSetting 1のときです。Setting 2設定時は特性を保証していません。

Table 36. Sound Quality Mode Select

SC2	Sound	(default)
0	Measurement Mode (Setting 1)	
1	Sound Quality Mode (Setting 2)	

## ■ DSD信号フルスケール検出機能

AK4490Rは、DSD mode時に各チャンネルでフルスケールの信号を検出する機能を持ちます。また、DDM bitを“1”に設定すると、フルスケール信号を検出した後にアナログ出力信号をミュートする機能が有効になります。Figure 48にDSD信号再生時のブロック図を示します。各チャンネルの入力ピン(DSDLもしくはDSDR)から入力されたデータは、DSD IFブロックにてデバイス内部に取り込まれ、DSD Full-Scale Detectブロックにてフルスケール検出が行われます。DDM bit = “1”時には、いずれかのチャンネルのフルスケール検出信号が“1”になると、アナログ出力をミュートします。DDM bit = “1”時は、信号が完全にゼロにミュートされるまでの異音を回避する目的で、DSD IFブロック出力信号をRegisterブロックにて“DDMT1-0 bitsで設定した時間 + 8DCLK周期”だけデータを遅延させており、その分だけアナログ出力されるまでの遅延が大きくなります。

LchまたはRchいずれかのチャンネルの入力データが、DDMT1-0 bitsで設定された期間連続して“H”または“L”となった場合、フルスケール検出状態になり(Table 37)、該当チャンネルの検出信号であるDML bit、もしくはDMR bitが独立に“1”となります。DML bit、DMR bitはフルスケール検出中のみ“1”となり、フルスケール以外の場合、PCM/EXDF modeの場合は“0”です。また、DDMOE bitを“1”に設定すると、フルスケール検出信号をDZFL pin、もしくはDZFR pinから出力することができます。詳細については、ゼロ検出機能の説明中の

Table 32を参照してください。DDM bit = “1”の時、いずれかのチャンネルのフルスケール検出信号が“1”になると、アナログ出力をミュートします。その遷移動作は、DSD信号再生パス選択レジスタDSDD bitの設定によって異なります(Table 38)。

DSDD bit = “1”(Volume Bypass)設定時、フルスケール状態になると、DSD Filterの出力データをゼロデータに切り替えます。

DSDD bit = “0”(Normal Path)設定時は、フルスケール検出状態になると、DSD Filterの出力データをゼロに切り替え、さらに、DATTブロックにてデータをソフトミュートします。ミュート遷移時間はATS1-0 bitsにて255/2fs ~ 4080/2fs(DSD mode時のfs = 30 ~ 48kHz) から選択可能です。ただし、フルスケール検出状態になってから出力信号をゼロにミュートする際の遷移時間は、DSD Filterの出力データをゼロに切り替える時間が支配的となるため、即座にゼロにミュートされます。

フルスケール検出されているチャンネルの入力信号が1度トグルすると、フルスケール検出状態が解除されます。フルスケール検出状態が解除された後の動作は、DSD信号再生パス選択レジスタDSDD bitの設定によって異なります (Table 38)。

DSDD bit = “1”(Volume Bypass)設定時、DSD Filter出力信号が出力されるよう復帰します。フルスケール検出状態が解除されると、出力データは即座に切り替わり、通常状態になります。

DSDD bit = “0”(Normal Path)設定時、DSD Filter出力信号が出力されるよう復帰し、さらに、DATTブロックのソフトミュートを解除します。フルスケール検出状態が解除されてから出力データが通常状態になるまでの遷移時間は、DATTブロックでの減衰係数の遷移時間が支配的となるため、ATS1-0 bitsの設定に従います。

本機能は、PCM modeやEXDF modeとDSD modeとの切り替え時に起こりうるフルスケール入力を想定したものであるため、入力信号がゼロデータからフルスケールに遷移、またはその逆の遷移の場合は過大信号入力による異音が発生しませんが、入力信号が有信号状態からフルスケールに遷移、またはその逆の遷移の場合は、データを切り替える際に異音が発生する可能性があります。

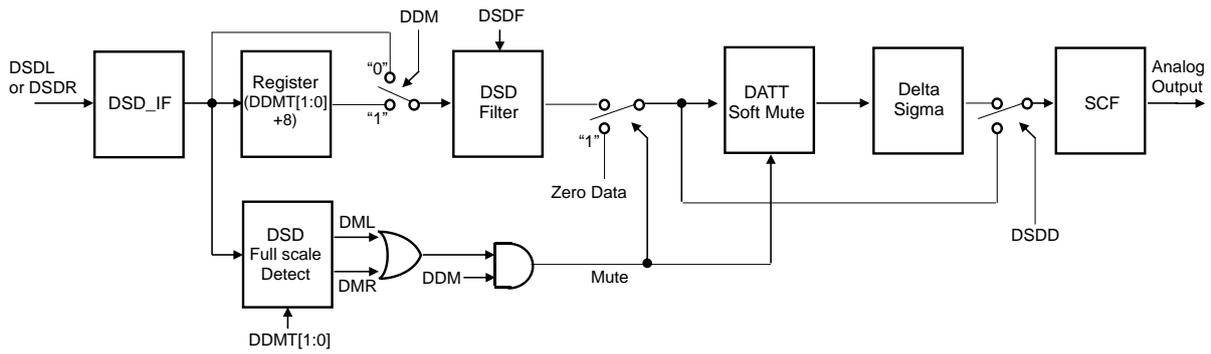


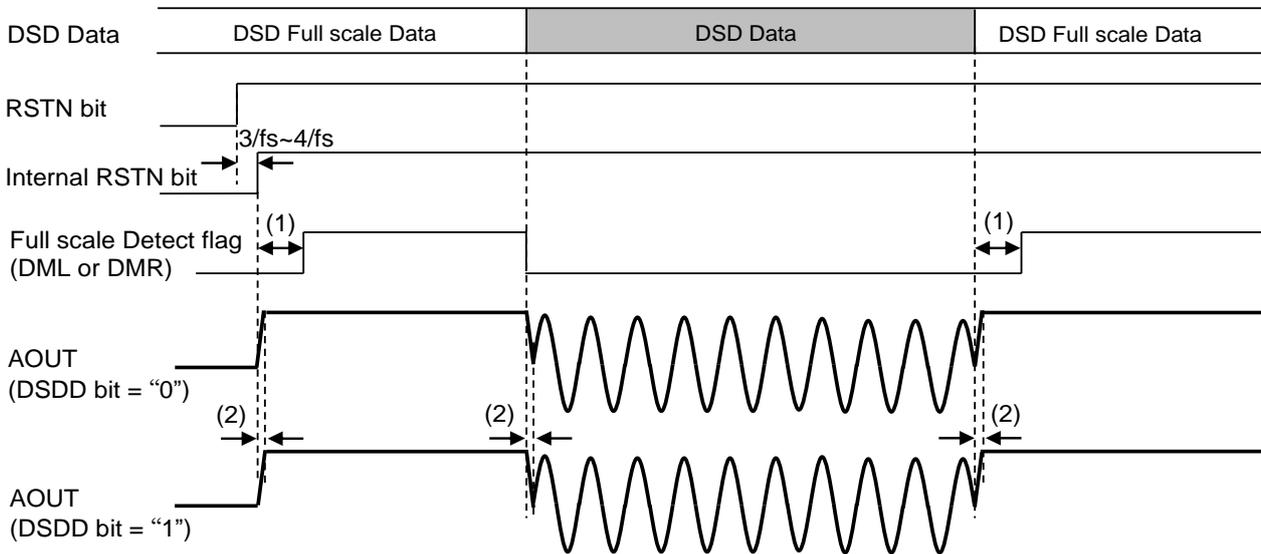
Figure 48. DSD Block Diagram

Table 37. DSD信号フルスケール検出時間設定

DDMT1	DDMT0	検出時間	Register遅延	(default)
0	0	256 DCLK cycle	264 DCLK cycle	
0	1	512 DCLK cycle	520 DCLK cycle	
1	0	1024 DCLK cycle	1032 DCLK cycle	
1	1	128 DCLK cycle	136 DCLK cycle	

Table 38. DSDD bit設定と出力データ遷移時間の関係 (DDM bit = "1")

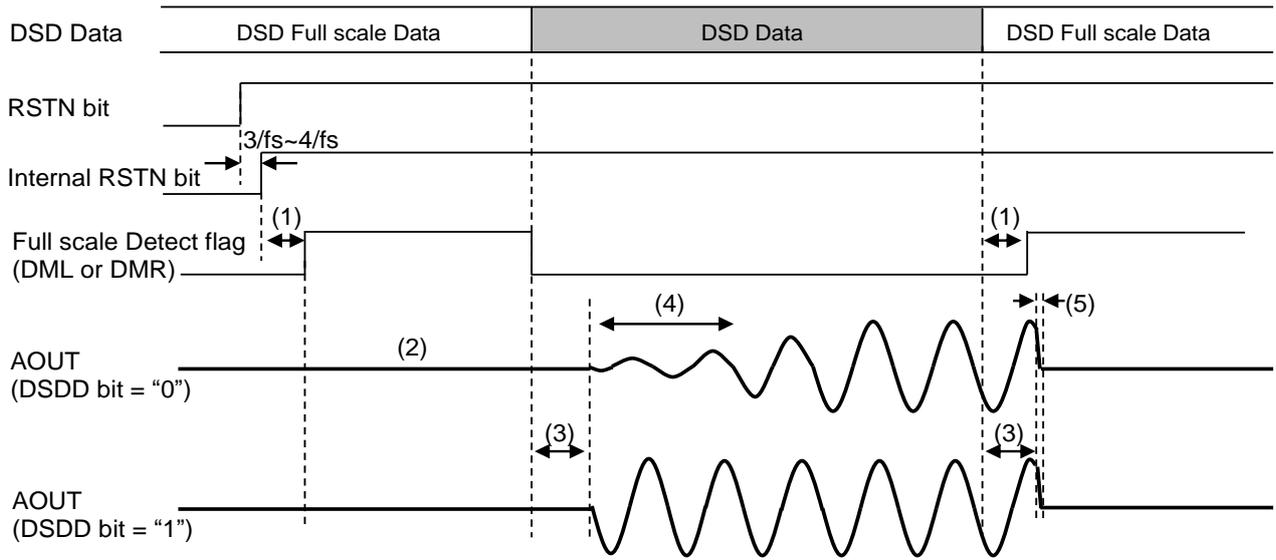
DSDD	Mode	Mute Transition time	Mute Release time	(default)
0	Normal Path	Rapidly	As ATS1-0 bits	
1	Volume Bypass	Rapidly		



Notes:

- (1) RSTN bit = "1"を設定後3/fs ~ 4/fs後に内部回路のリセットが解除されます。この後、DDMT1-0 bitsで定める期間連続して入力データがフルスケールになると、内部の検出フラグが"1"になります。この段階でDSDの入力データがフルスケールになっていると、アナログ出力に過大信号が出力されます。
- (2) アナログ出力データがフルスケールに遷移する時間は、DSD Filterの係数設定レジスタDSDF bitの設定に従います。

Figure 49. DSDフルスケール入力時のアナログ出力波形(DDM bit = "0"の時)



## Notes:

- (1) RSTN bit = "1"を設定後 $3/fs \sim 4/fs$ 後に内部回路のリセットが解除されます。この後、DDMT1-0 bitsで定める期間連続して入力データがフルスケールになると、内部の検出フラグが"1"になります。
- (2) フルスケール検出状態になると、アナログ出力信号は強制的にゼロ(VCML/Rレベル)になります。
- (3) DDM bit = "1"設定時は、データを入力してからアナログ出力されるまでの遅延がDDMT1-0 bitsで設定した時間+8DCLK周期だけ遅れます。
- (4) DSDD bit = "0"設定時、フルスケール状態から通常信号出力状態に復帰するまでの時間は、内部のDATT回路の遷移時間設定ATS1-0 bitsに従います。
- (5) 有信号時からフルスケール状態になった場合は、即座にアナログ出力信号が強制的にゼロ(VCML/R)レベルになります。
- (6) ADPE bit = "0"時のアナログ出力波形を示しています。

Figure 50. DSDフルスケール入力時のアナログ出力波形(DDM bit = "1"の時)

## ■ PCM/EXDF⇔DSD Mode自動切り替え機能

AK4490Rは #3 BICK/BCK/DCLK pin、 #5 LRCK/DSDR pin、 および、 #6 WCK pinに入力される信号から、DSD modeかPCM/EXDF modeかを判定し、自動的にモード設定を切り替える機能を持ちます。本機能は、PDN pin = “H”かつPSN pin = “L”の時に、ADPE bitを“1”に設定すると使用可能です。ADPE bitの設定はPW bit = “0”もしくはRSTN bit = “0”の最中に行ってください。ADPE bitを“1”に設定した場合、マニュアル設定用のDP bitの設定は回路動作に反映されません。

ADPE bitを“1”に設定すると、PCM/EXDF modeでは群遅延が18/fs大きくなり、DSD modeではフルスケール検出時間設定レジスタDDMT1-0 bitsの設定に従い、群遅延が136 ~ 1032DCLK周期大きくなります (Table 37)。

自動判定した結果はレジスタADP bitより読み出し可能です。ADPE bit = “0”の時、ADP bitの読み出し機能は無効であり、readすると“0”を読み出します。

モード切り替え時の異音を回避するため、本機能使用時は、DSDフルスケール検出時のミュート機能DDM bitを“1”にしてください。DDM bitの設定はPW bit = “0”もしくはRSTN bit = “0”の最中に行ってください。

なお、PCM modeとEXDF modeの判定は行いません。EXDF bitの設定はPW bit = “0”もしくはRSTN bit = “0”の最中に行ってください。また、本機能はDSD Phase Modulationフォーマット、および、DSDデータ取り込みエッジ反転機能(DCKB bit = “1”)に対応しません。

### [1] モード判定開始条件

以下に示す5つの条件のいずれかが成立すると、モードの判定を行います。これら5つのいずれも成立しない状態になると、モードの判定を行わず、直前のモードを保持します。

1. 両方のチャンネルの入力データがADPT1-0 bitsで定める期間連続してゼロ (Table 39)
2. アテネーション設定により両方のチャンネルのデータがADPT1-0 bitsで定める期間連続してゼロ (Table 39)
3. DSD modeで動作時に、両チャンネルの入力データがDDMT1-0 bitsで定める期間連続してフルスケール
4. PW bit = “0”
5. RSTN bit = “0”

Table 39. データがゼロになった後、モード判定を開始するまでの時間

ADPT1	ADPT0	ゼロデータ待ち時間	
0	0	8192/fs + 18/fs	(default)
0	1	4096/fs + 18/fs	
1	0	2048/fs + 18/fs	
1	1	1024/fs + 18/fs	

Note: DSD mode時、fs = 30 ~ 48 kHz

## [2] モード判定動作

モード判定方法はEXDF bitの設定によって異なります。詳細は、(1) PCM⇔DSD Mode判定動作 (EXDF bit = “0”)および(2) EXDF⇔DSD Mode判定動作 (EXDF bit = “1”)を参照してください。

PW bit = “0”、あるいはRSTN bit = “0”の状態の間は、MCLK入力がなくても判定動作を行います。MSTBN bit = “0”設定時はMCLK停止検出機能によってAK4490Rはスタンバイ状態になり、アナログ出力はHi-Zを出力します。MCLKを再投入すると、MCLK停止中に判定したモードに従って動作を再開します。また、#3 BICK/ DCLK/ BCK pinの入力を停止した場合、直前の判定状態を保持します。

DSD modeが切り替わる場合、AK4490Rは内部で自動的に3/fs ~ 4/fsの間リセットした後、動作を再開します。

### (1) PCM⇔DSD Mode判定動作 (EXDF bit = “0”)

EXDF bit = “0”設定時、#5 LRCK/DSDR pinに入力される信号を固定コードパターンと比較し、モード判定を行います。比較する固定コードパターンは“01101001 01101001”、“01010101 01010101”、“00110011 00110011”、“00000000 00000000”、“11111111 11111111”の5通りとなっています。“01101001 01101001”、“01010101 01010101”、“00110011 00110011”のいずれか1つのコードパターンが2回連続して一致する状態が続くと、DSD modeと判定します。また、“00000000 00000000”、“11111111 11111111”のいずれか1つのコードパターンが2回連続して一致する状態が続くと、PCM modeと判定します。判定後、#5 LRCK/DSDR pinに入力される信号の立ち上がりエッジで、判定結果に従ってADP bitが変化し、回路動作に反映されます。いずれのコードパターンとも一致しない場合、モードは保持されます。

Table 40. EXDF bit = “0”設定時のモード判定条件

#5 LRCK/DSDR 入力信号	判定結果
次のいずれかのゼロコードパターンが連続2回 “01101001 01101001” or “01010101 01010101” or “00110011 00110011”	DSD mode
次のいずれかのゼロコードパターンが連続2回 “00000000 00000000” or “11111111 11111111”	PCM mode

PCM modeからDSD modeに遷移する際は、DSDR pinに“01101001 01101001”、“01010101 01010101”、“00110011 00110011”のいずれかのゼロコードパターンを連続して入力してください。また、DSD modeからPCM modeに遷移する際は、DSD modeで両チャンネルにゼロデータを入力、もしくはソフトミュート機能により、ADPT1-0 bitsで定める期間以上連続してデータがゼロの状態にした後、#5 LRCK/DSDR pinにN\*16BICK周期(Nは1以上の整数)でトグルするクロック、または、32BICK周期以上“L”もしくは“H”が連続するクロックを入力してください。動作シーケンスは、Figure 51、Figure 52およびFigure 53を参照ください。

Table 41. PCM⇔DSD Mode切り替え時の入力信号 (EXDF bit = “0”設定時)

Mode	#5 LRCK/DSDR pin入力
DSD Mode	次のいずれかの連続ゼロコードパターン “01101001 01101001” or “01010101 01010101” or “00110011 00110011”
PCM Mode	N*16BICK周期(Nは1以上の整数)でトグルするクロック or 32BICK周期以上“L”もしくは“H”が連続するクロック

**(2) EXDF⇔DSD Mode判定動作 (EXDF bit = “1”)**

EXDF bit = “1”設定時、#6 WCK pinに入力されるクロックの立ち上がりエッジ1周期中に、#3 BCK/DCLK pinに入力されるクロック立ち上がりエッジが256回より多いと、即座にDSD modeと判定し、ADP bit = “1”となり回路動作に反映されます。クロック立ち上がりエッジが256回以下の状態が2回連続するとEXDF modeと判定し、判定後、#6 WCK pinに入力されるクロックの立ち上がりエッジでADP bit = “0”となり回路動作に反映されます。

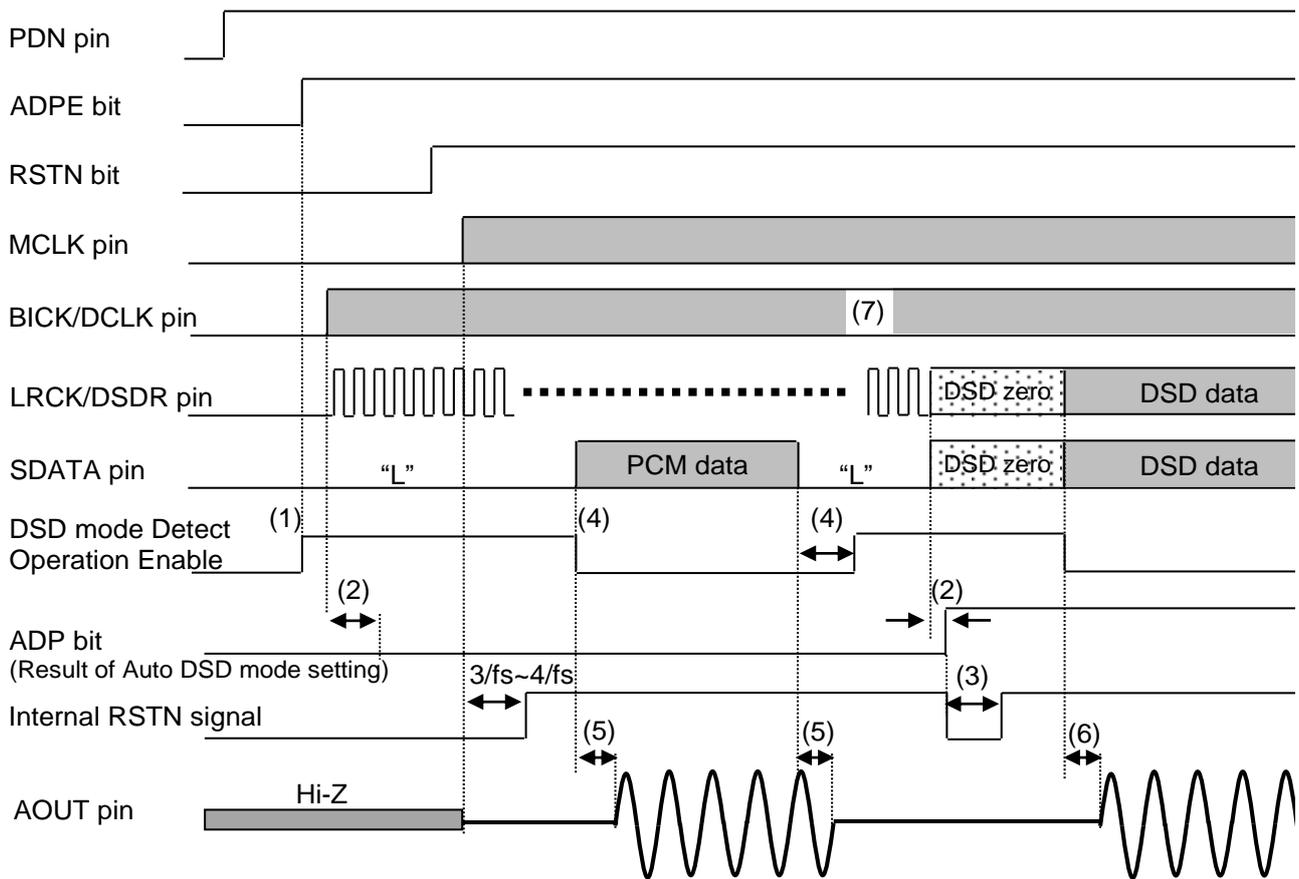
Table 42. EXDF bit = “1”設定時のモード判定条件

#6 WCK 1周期中の#3 BCK/DCLKパルス数	判定結果
256 < BCK/DCLK pulse number の状態が1回	DSD mode
BCK/DCLK pulse number ≤ 256 の状態が連続2回	EXDF mode

EXDF modeからDSD modeに遷移する際は、EXDF modeで両チャンネルにゼロデータを入力、もしくはソフトミュート機能により、ADPT1-0 bitsで定める期間以上連続してデータがゼロの状態にした後、#6 WCK pinにクロックを入力してください。また、DSD modeからEXDF modeに遷移する際は、DSD modeで両チャンネルにゼロデータを入力、もしくはソフトミュート機能により、ADPT1-0 bitsで定める期間以上連続してデータがゼロの状態にした後、#6 WCK pinに“L”を入力してください。動作シーケンスは、[Figure 54](#)、[Figure 55](#)および[Figure 56](#)を参照ください。

Table 43. DSD⇔EXDF Mode切り替え時の入力信号 (EXDF bit = “0”設定時)

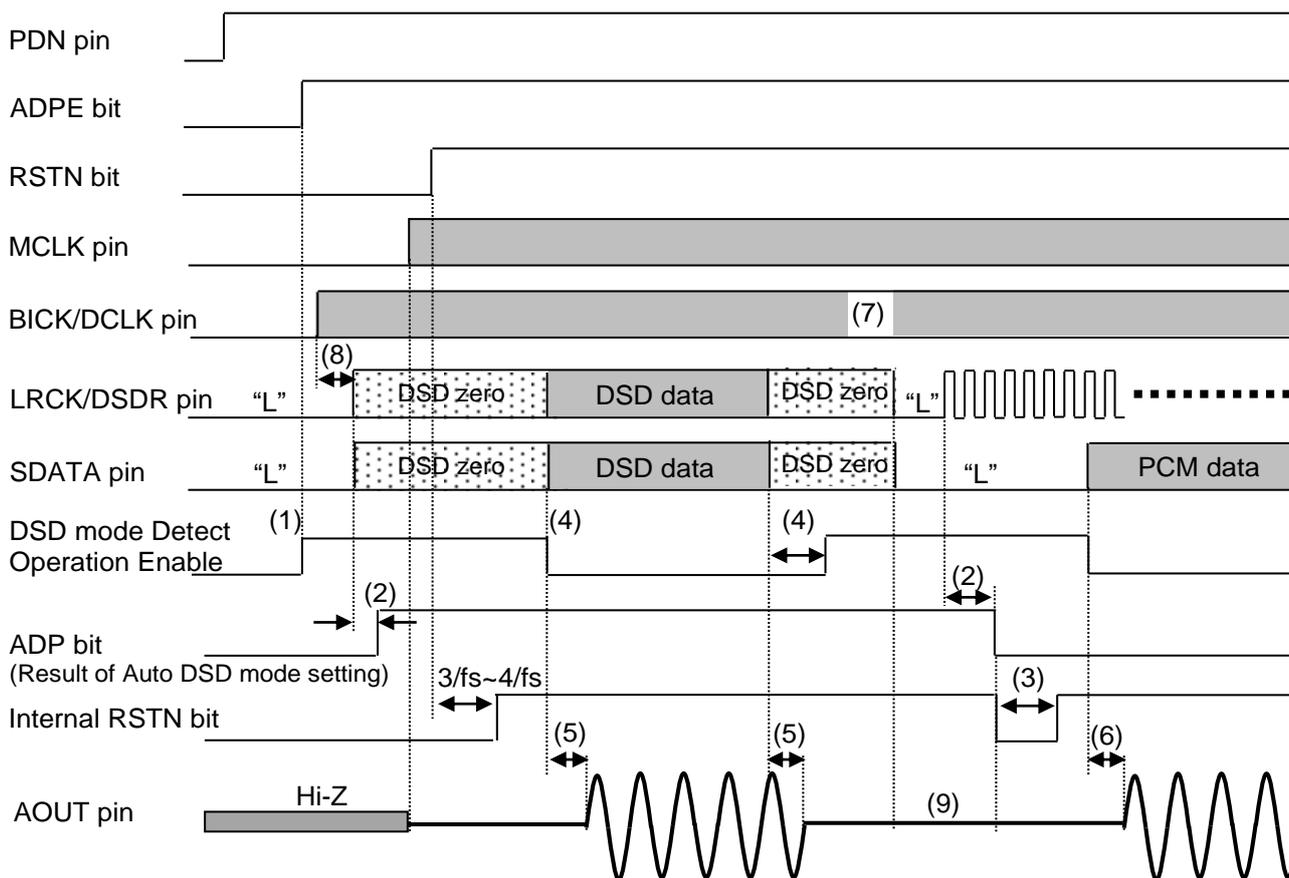
Mode	#6 WCK pin入力
DSD mode	L
EXDF mode	周期が32 ~ 96BCK周期のクロック



## Notes:

- (1) PDN pinを“L” → “H”にした後にADPE bitに“1”を設定すると、PCM/EXDF⇄DSD mode自動切り替え機能が使用可能となります。RSTN bitが初期値“0”のままであれば、モードの判定動作が始まります。
- (2) LRCK/DSDR pin入力信号のコードパターンをモニタして、モードの判定を行います。BICK/DCLK pin入力クロックの34サイクルかけて判定した後、LRCK/DSDR pin入力信号の立ち上がりエッジでADP bitが変化します。MCLK入力がない状態でも判定動作を行います。
- (3) DSD modeが切り替わると内部で自動的に $3/f_s \sim 4/f_s$ の間リセットされます。
- (4) 両方のチャンネルの入力データがADPT1-0 bitsで定める期間連続してゼロの状態になると判定動作を開始し、ゼロ以外のデータが入力されると、判定動作を終了します。
- (5) PCM mode時、データが入力されてからアナログ出力されるまでの遅延時間は、ADPE bit = “0”設定時よりも約 $18/f_s$ 長くなります。
- (6) DSD mode時、データが入力されてからアナログ出力されるまでの遅延時間は、ADPE bit = “0”設定時よりも長くなります。その時間はDDMT1-0 bitsの設定に従います。
- (7) PCM modeの状態ではBICK入力が停止した場合、PCM modeの状態のまま動作します。

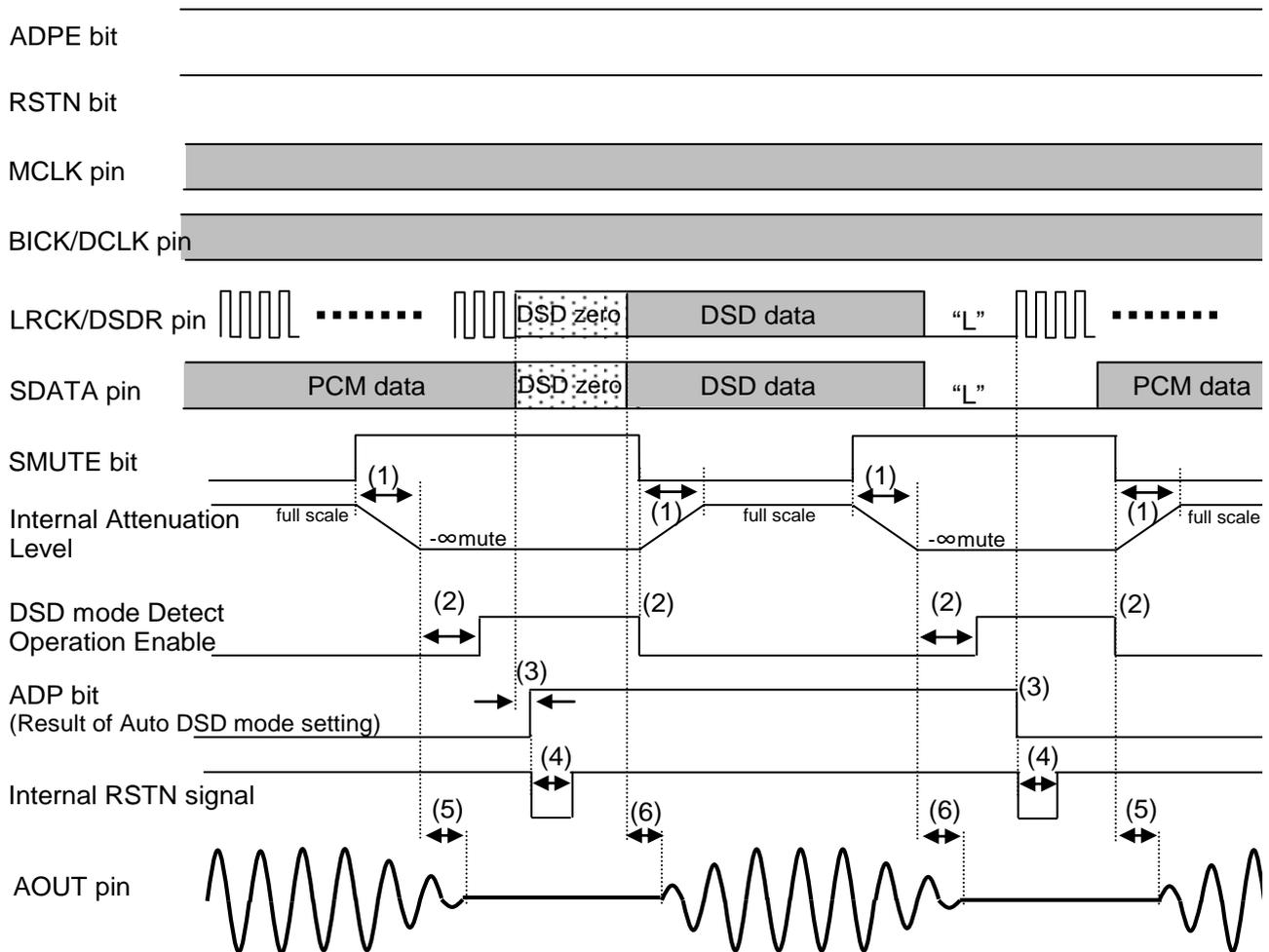
Figure 51. EXDF bit = “0”設定時: PCM modeで立ち上げ後、DSD modeに変わる場合



## Notes:

- (1) PDN pinを“L” → “H”にした後にADPE bitに“1”を設定すると、PCM/EXDF⇄DSD mode自動切り替え機能が使用可能となります。RSTN bitが初期値“0”のままであれば、モードの判定動作が始まります。
- (2) LRCK/DSDR pin入力信号のコードパターンをモニタして、モードの判定を行います。BICK/DCLK pin入力クロックの34サイクルかけて判定した後、LRCK/DSDR pin入力信号の立ち上がりエッジでADP bitが変化します。MCLK入力がない状態でも判定動作を行います。
- (3) DSD modeが切り替わると内部で自動的に $3/f_s \sim 4/f_s$ の間リセットされます。
- (4) 両方のチャンネルの入力データがADPT1-0 bitsで定める期間連続してゼロの状態になると判定動作を開始し、ゼロ以外のデータが入力されると、判定動作を終了します。
- (5) DSD mode時、データが入力されてからアナログ出力されるまでの遅延時間は、ADPE bit = “0”設定時よりも長くなります。その時間はDDMT1-0 bitsの設定に従います。
- (6) PCM mode時、データが入力されてからアナログ出力されるまでの遅延時間は、ADPE bit = “0”設定時よりも約 $18/f_s$ 長くなります。
- (7) DSD modeの状態ではDCLK入力が停止した場合、DSD modeの状態のまま動作します。
- (8) 立ち上げ動作時、DCLKが入力され、DSDRが入力されない状態では、PCM modeとして動作します。
- (9) DSD modeの状態ではDCLK、あるいは、DSDデータ入力が停止した場合は、DSD modeの状態のまま動作します。この時、AK4490R内部にはフルスケールデータが入力されます。DDM bit = “1”を設定しておくと、DSDフルスケール入力検出時に出力信号を自動的にミュートする機能が有効になり、過大信号出力を防止することができます。

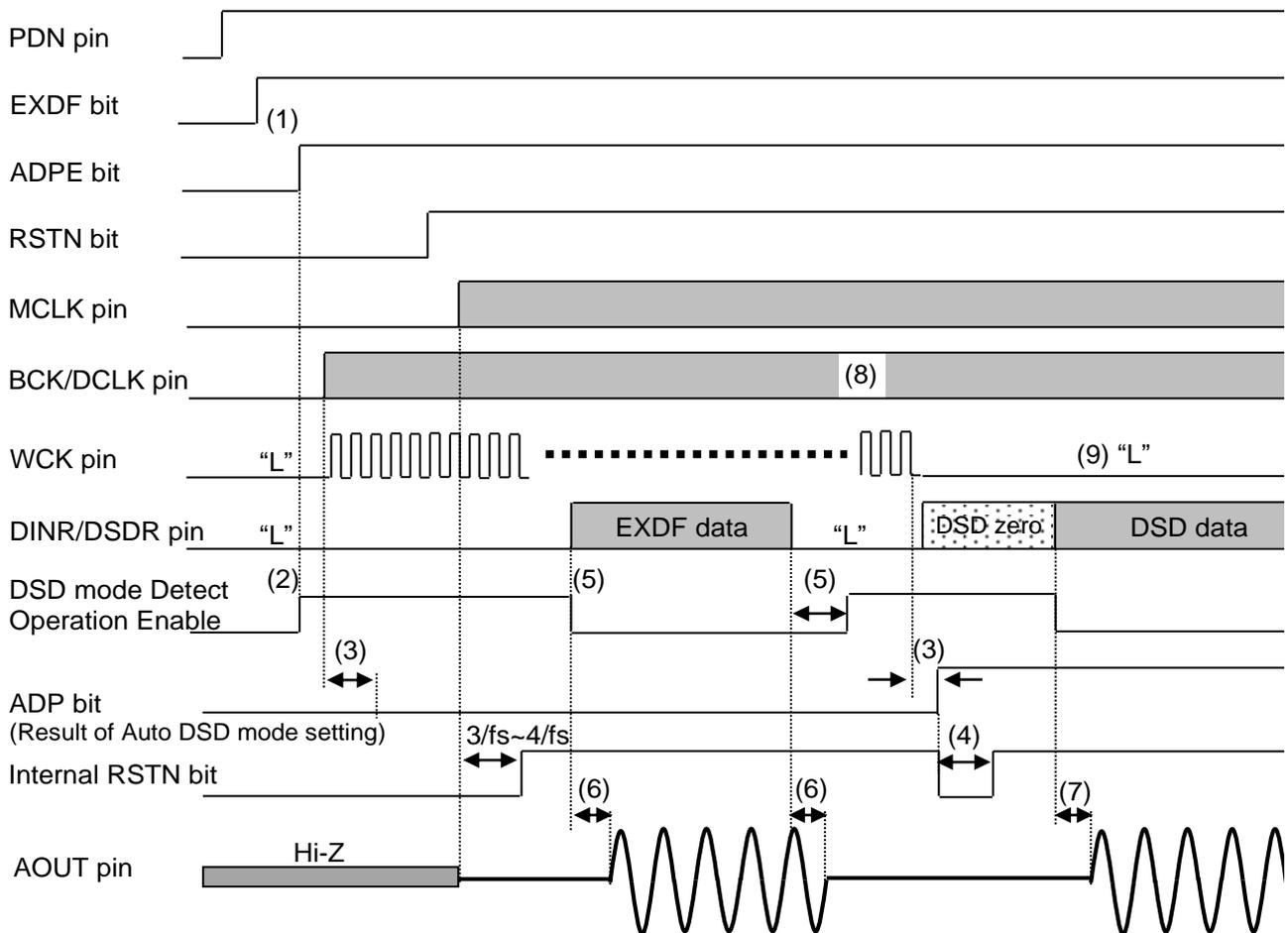
Figure 52. EXDF bit = “0”設定時: DSD modeで立ち上げ後、PCM modeに変わる場合



## Notes:

- (1) SMUTE bitを“1”にしてからデータが完全にミュートされるまでの遷移時間は、ボリューム遷移時間設定レジスタATS1-0 bitsの設定に従います。
- (2) 両方のチャンネルのデータがADPT1-0 bitsで定める期間連続してゼロの状態になると判定動作を開始し、ゼロ以外のデータが入力されると、判定動作を終了します。
- (3) LRCK/DSDR pin入力信号のコードパターンをモニタして、モードの判定を行います。BICK/DCLK pin入力クロックの34サイクルかけて判定した後、LRCK/DSDR pin入力信号の立ち上がりエッジでADP bitが変化します。
- (4) DSD modeが切り替わると内部で自動的に $3/f_s \sim 4/f_s$ の間リセットされます。
- (5) PCM mode時、データが入力されてからアナログ出力されるまでの遅延時間は、ADPE bit = “0”設定時よりも約 $18/f_s$ 長くなります。
- (6) DSD mode時、データが入力されてからアナログ出力されるまでの遅延時間は、ADPE bit = “0”設定時よりも長くなります。その時間はDDMT1-0 bitsの設定に従います。

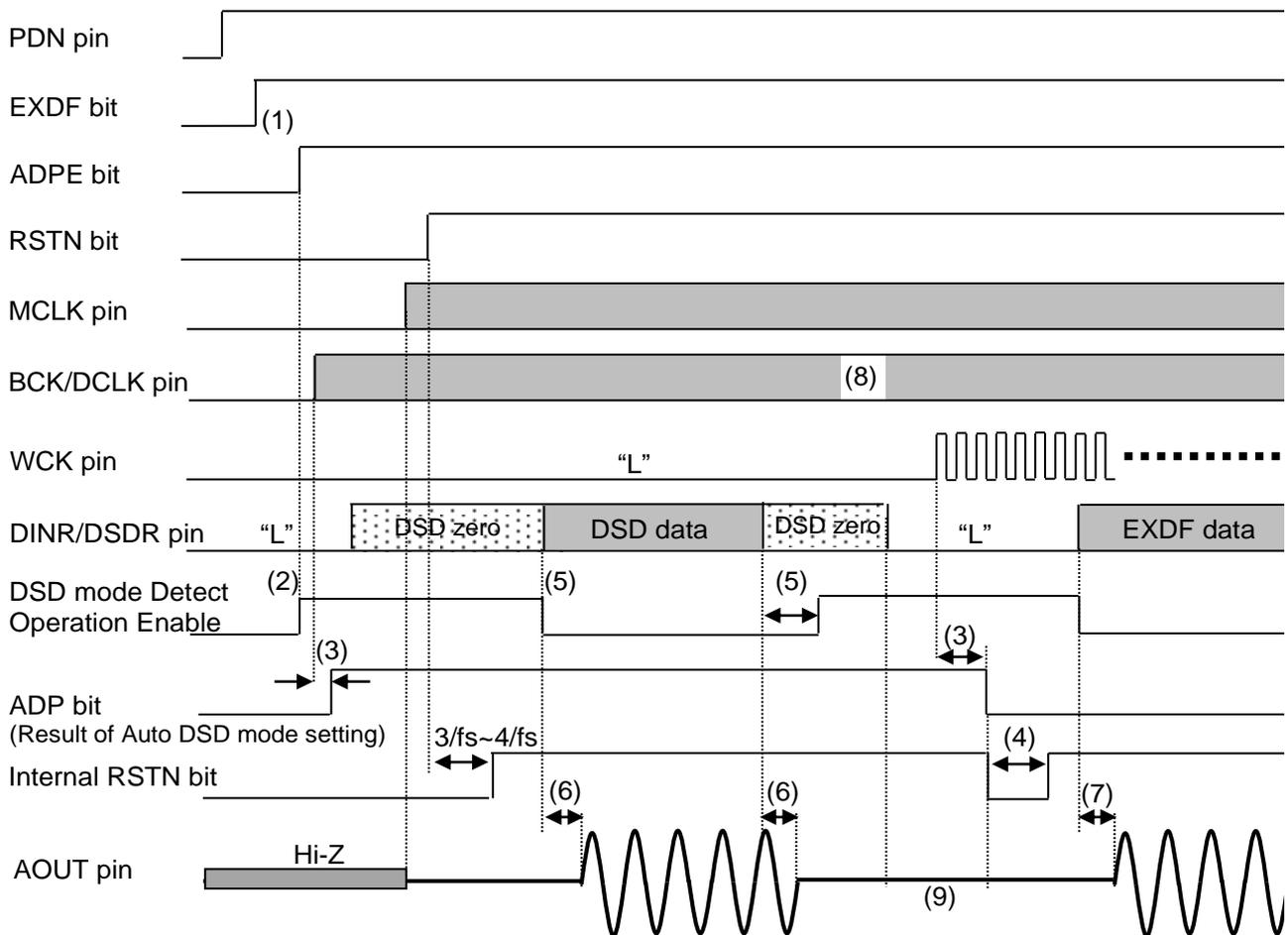
Figure 53. EXDF bit = “0”設定時: ミュート機能を用いてモードを切り替える場合



## Notes:

- (1) PDN pinを“L” → “H”にした後にADPE bitに“1”を設定すると、PCM/EXDF⇄DSD mode自動切り替え機能が使用可能となります。EXDF bit = “1”で使用する場合は、ADPE bitより先にEXDF bitを設定してください。
- (2) RSTN bitが初期値“0”のままであれば、ADPE bitに“1”を設定すると、モードの判定動作が始まります。
- (3) WCK pin入力クロックとBCK/DCLK pin入力クロックをモニタして、モードの判定を行います。判定には、EXDF mode → DSD modeの切り替えの場合は256DCLK周期、DSD mode → EXDF modeの切り替えの場合は2WCK周期かかります。MCLK入力がない状態でも判定動作を行います。
- (4) DSD modeが切り替わると内部で自動的に $3/fs \sim 4/fs$ の間リセットされます。
- (5) 両方のチャンネルの入力データがADPT1-0 bitsで定める期間連続してゼロの状態になると判定動作を開始し、ゼロ以外のデータが入力されると、判定動作を終了します。
- (6) EXDF mode時、データが入力されてからアナログ出力されるまでの遅延時間は、ADPE bit = “0”設定時よりも約 $18/fs$ 長くなります。
- (7) DSD mode時、データが入力されてからアナログ出力されるまでの遅延時間は、ADPE bit = “0”設定時よりも長くなります。その時間はDDMT1-0 bitsの設定に従います。
- (8) EXDF modeの状態ではBICK入力が停止した場合、EXDF modeの状態のまま動作します。
- (9) EXDF bit = “1”の場合は、WCK入力クロックの有無によってDSD modeの判定を行うため、DSD modeで使用時はWCK入力を“L”にしてください。

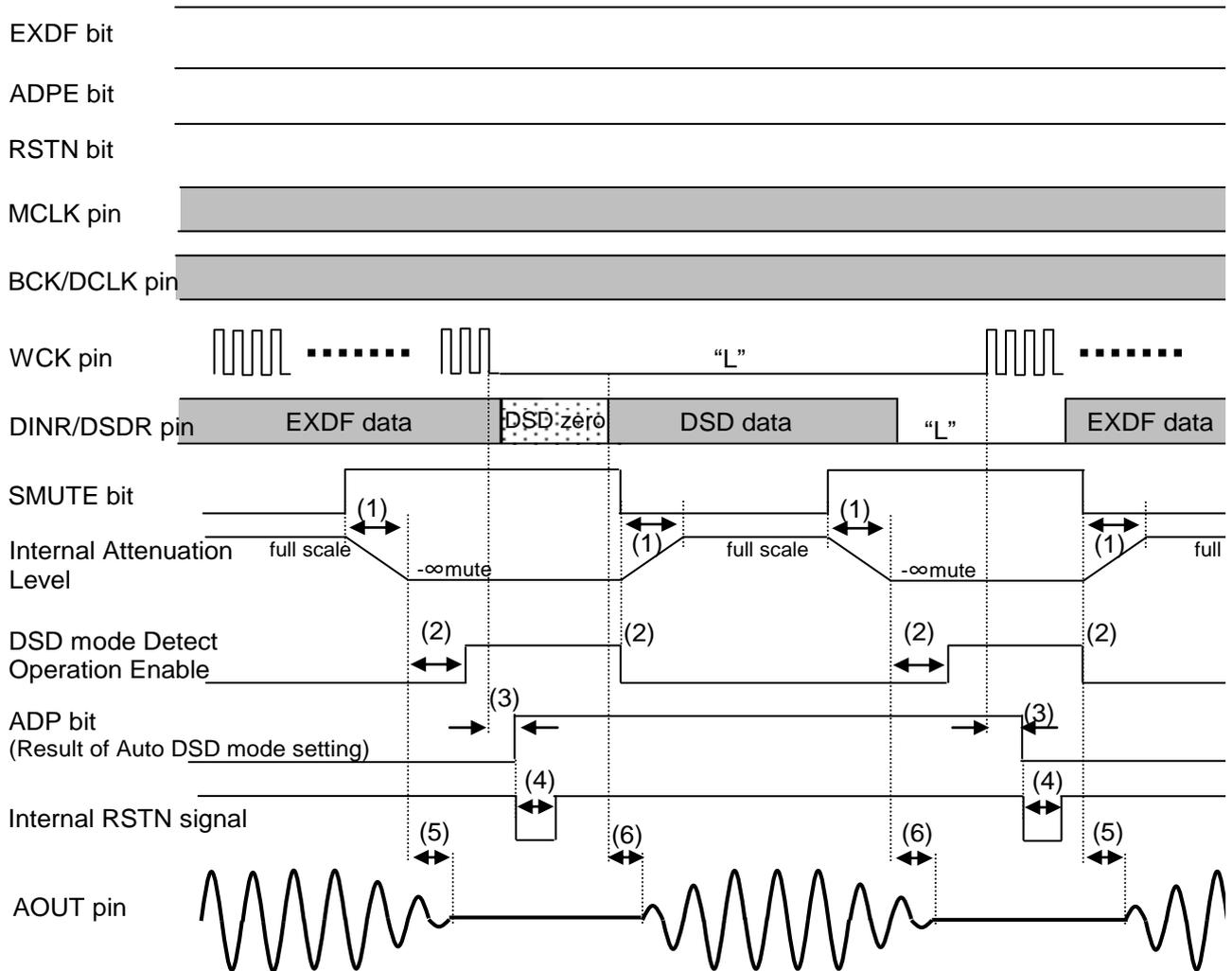
Figure 54. EXDF bit = “1”設定時: EXDF modeで立ち上げ後、DSD modeに変わる場合



## Notes:

- (1) PDN pinを“L” → “H”にした後にADPE bitに“1”を設定すると、PCM/EXDF⇄DSD mode自動切り替え機能が使用可能となります。EXDF bit = “1”で使用する場合は、ADPE bitより先にEXDF bitを設定してください。
- (2) RSTN bitが初期値“0”のままであれば、ADPE bitに“1”を設定すると、モード判定動作が始まります。
- (3) WCK pin入カロックとBCK/DCLK pin入カロックをモニタして、モードの判定を行います。判定には、EXDF mode → DSD modeの切り替えの場合は256DCLK周期、DSD mode → EXDF modeの切り替えの場合は2WCK周期かかります。MCLK入力がない状態でも判定動作を行います。
- (4) RSTN bit = “1”を設定し、MCLKが投入されると、パワーアップシーケンスに従いリセットが解除されます。
- (5) 両方のチャンネルの入力データがADPT1-0 bitsで定める期間連続してゼロの状態になると判定動作を開始し、データが入力されると、判定動作を終了します。
- (6) DSD mode時、データが入力されてからアナログ出力されるまでの遅延時間は、ADPE bit = “0”設定時よりも長くなります。その時間はDDMT1-0 bitsの設定に従います。
- (7) EXDF mode時、データが入力されてからアナログ出力されるまでの遅延時間は、ADPE bit = “0”設定時よりも約18/fs長くなります。
- (8) DSD modeの状態DCLK入力が停止した場合、DSD modeの状態のまま動作します。
- (9) DSD modeの状態DSDR入力が停止した場合は、DSD modeの状態のまま動作します。この時、AK4490R内部にはフルスケールデータが入力されます。DDM bit = “1”を設定しておく、DSDフルスケール入力検出時に出力信号を自動的にミュートする機能が有効になり、過大信号出力を防止することができます。

Figure 55. EXDF bit = “1”設定時: DSD modeで立ち上げ後、EXDF modeに変わる場合



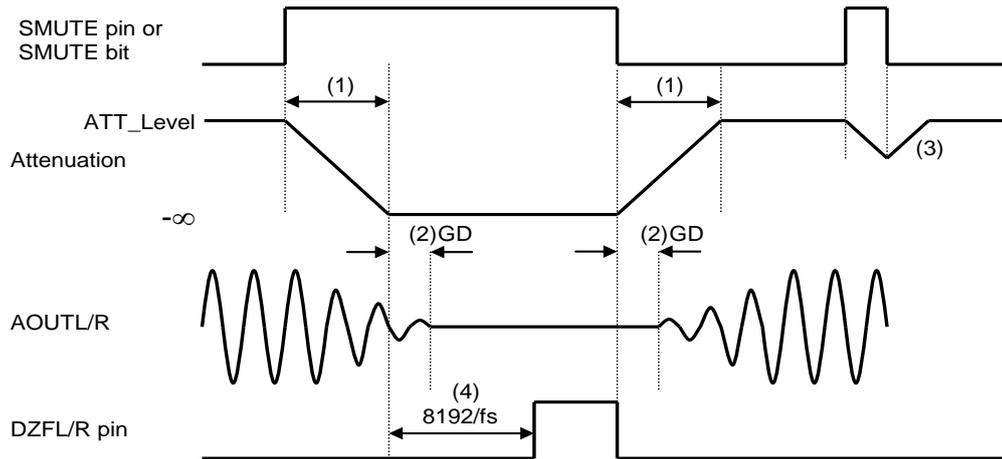
## Notes:

- (1) SMUTE bitを“1”にしてからデータが完全にミュートされるまでの遷移時間は、ボリューム遷移時間設定レジスタATS1-0 bitsの設定に従います。
- (2) 両方のチャンネルのデータがADPT1-0 bitsで定める期間連続してゼロの状態になると判定動作を開始し、ゼロ以外のデータが入力されると、判定動作を終了します。
- (3) WCK pin入力クロックとBCK/DCLK pin入力クロックをモニタして、モードの判定を行います。判定には、EXDF mode → DSD modeの切り替えの場合は256DCLK周期、DSD mode → EXDF modeの切り替えの場合は2WCK周期かかります。
- (4) DSD modeが切り替わると内部で自動的に3/fs ~ 4/fsの間リセットされます。
- (5) EXDF mode時、データが入力されてからアナログ出力されるまでの遅延時間は、ADPE bit = “0”設定時よりも約18/fs長くなります。
- (6) DSD mode時、データが入力されてからアナログ出力されるまでの遅延時間は、ADPE bit = “0”設定時よりも長くなります。その時間はDDMT1-0 bitsの設定に従います。

Figure 56. EXDF bit = “1”設定時: ミュート機能を用いてモードを切り替える場合

## ■ ソフトミュート機能 (PCM, DSD, EXDF Mode)

ソフトミュートはデジタル的に実行されます。SMUTE pinを“H”またはSMUTE bitを“1”にするとその時点のATT設定値からATT設定値 × ATT遷移時間で入力データが $-\infty$  (“0”)までアテネーションされます。SMUTE pinを“L”またはSMUTE bitを“0”にすると $-\infty$ 状態が解除され、 $-\infty$ からATT設定値まで、ATT設定値 × ATT遷移時間でかけて復帰します。(ATT遷移時間については、Table 30を参照)ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。



### Notes:

- (1) ATT設定値 × ATT遷移時間。例えば、PCM Normal Speed Mode時、ATTL/R7-0 bits = “FFH”の場合は4080LRCKサイクルです。
- (2) デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (3) ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。
- (4) 各チャンネルのデータが8192回連続して“0”の場合、対応するチャンネルのDZFL/R pinは“H”になります。その後、各チャンネルのデータが“0”でなくなると、対応するチャンネルのDZFL/R pinが“L”になります。

Figure 57. Soft Mute Function

## ■ LDO

AK4490RはLDOを内蔵しています。TVDDが3.0 V ~ 3.6 Vの時、LDOE pinを“H”にするとデジタルコア回路電源(DVDD)をLDOから供給します。Table 44にPDN pin、LDOE pinの各設定時のDVDD pinの状態を示します。PDN pinを“L”から“H”にしてパワーダウン解除すると、LDOがパワーアップし、DVDDに電源(1.8 V Typ)を供給します。LDO使用時にはDVDD pinに1  $\mu$ F( $\pm$ 50 %)のコンデンサを付加してください。LDOの立ち上がりには最大0.1 msecかかります。

Table 44. LDO Select Mode

PDN	LDOE	TVDD	DVDD
*	L	1.7 ~ 3.6 V	LDOオフ。DVDDに1.7 ~ 1.98 Vを外部から供給。
L	H	3.0 ~ 3.6 V	500 $\Omega$ Pull-down
H	H	3.0 ~ 3.6 V	LDOオン。LDOが1.8 Vを出力。 (他のデバイスとは接続しないでください)

(\*: Do not care)

LDOが動作中(LDOE pin = “H”)にTable 45に示す2項目いずれかの異常が生じた際、AK4490Rはエラーを検出します。エラーが発生した場合、内部LDOはパワーダウン状態となり、デジタルコア回路に電源が供給されません。この時、アナログ信号出力はHi-Zになり、SDA pinはHi-Zになります(I<sup>2</sup>CモードではACKを出力しなくなります)。エラー検出状態から復帰する場合は一旦PDN pinを“L”にしてパワーダウンした後、PDN pinを“H”にしてパワーアップしてください。

Table 45. LDOエラー検出

No	エラー検出項目	エラー判定条件
1	LDO過電圧検出	LDO出力ピンの電圧が過電圧判定閾値を超えた場合、エラーと判定。 判定閾値：2.35 V (typ)
2	LDO過電流検出	LDOの出力段を流れる電流が過電流判定閾値を超えた場合、エラーと判定。 判定閾値：54 mA (typ)

## ■ アナログ出力端子過電流保護機能

アナログ出力端子AOUTLP/LN、およびAOUTRP/RNには各チャネル独立の過電流保護機能が設けられています。アナログ出力端子に60 mA (typ)を超える電流が検出されると、60 mA以上の電流が流れないように制限をしています。本機能は、PDN pin = “L”か PW bit = “0”、またはMSTBN bit = “0”のときにMCLK停止時のいずれかのときは無効になります。

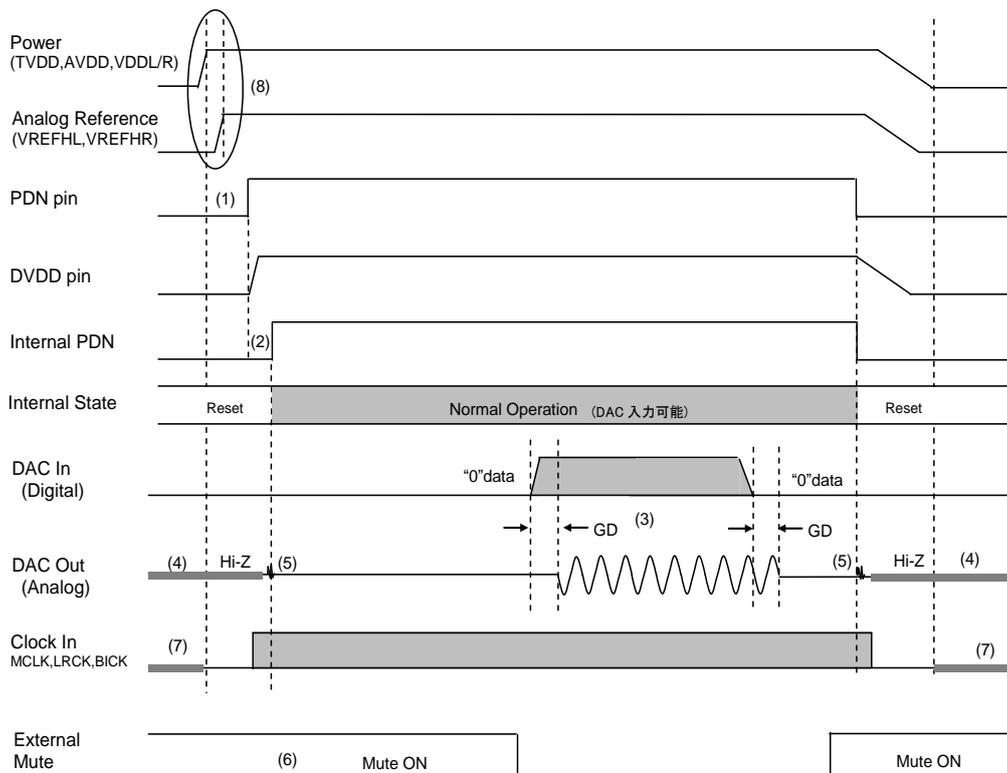
過電流状態となり電流制限されると、アナログ信号は出力し続けますが、波形はクリップします。過電流状態でなくなると、電流制限は自然に解除され通常波形出力に戻ります。

## ■ パワーアップ/ダウン機能

AK4490RはPDN pinが“L”の時にパワーダウン状態になります。パワーダウン状態になると、全ての回路は停止し、初期化され、アナログ出力はフローティング状態(Hi-Z)になります。電源投入時には全ての電源を立ち上げた後、150 nsec以上PDN pin=“L”として回路の初期化を行ってください。行わなかった場合、回路が誤動作する可能性があります。PDN pinを“L”から“H”にすることでパワーダウンが解除されます。すべてのクロックが入力されるまでアナログ出力はフローティング状態(Hi-Z)です。

### [1] ピンコントロールモードの場合(PDN pin = “H”)

PDN pinを“H”にした後、必要なクロック(MCLK, LRCK, BICK)を供給すると、全ての回路が立ち上がります。Figure 58に内部LDO使用時(LDOE pin = “H” 時)のパワーアップおよびパワーダウン時のシステムタイミング例を示します。

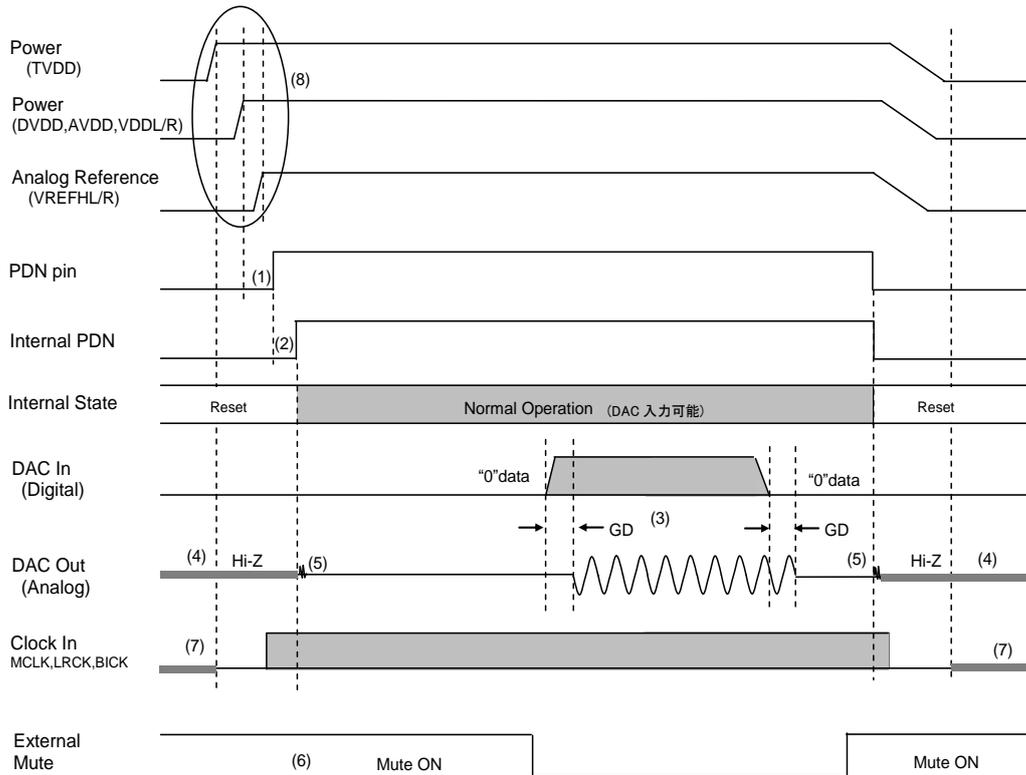


#### Notes:

- (1) PDN pin = “L”の状態ではAVDD, TVDD, VDDL/Rを投入し、電源投入後もPDN pinを150 nsec以上“L”にしてください。
- (2) LDOE pin = “H”の時、PDN pinが“H”になった直後からDVDD出力電圧(内部LDOで生成)が立ち上がります。PDN pinが“H”になってから最大2 msec後に内部回路が動作を開始します。
- (3) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (4) パワーダウン時、アナログ出力はHi-Zです。
- (5) PDN信号のエッジ(↓↑)でクリックノイズが出力されることがあります。このノイズはデータが“0”の場合でも出力されます。
- (6) クリックノイズ(5)が問題になる場合はアナログ出力を外部でミュートしてください。
- (7) 電源が立ち上がっていない時、クロックは入力しないでください。
- (8) VREFHL/R は、VDDL/R と同時または後に立ち上げてください。その他の電源の立ち上げ順は問いません。

Figure 58. Power-up/down Sequence Example (Pin Control Mode, LDOE pin = “H”)

Figure 59に内部 LDO 不使用時(LDOE pin = “L”時)のパワーアップおよびパワーダウン時のシステムタイミング例を示します。LDOE pin = “L”の時、TVDD は DVDD と同時または先に立ち上げてください。



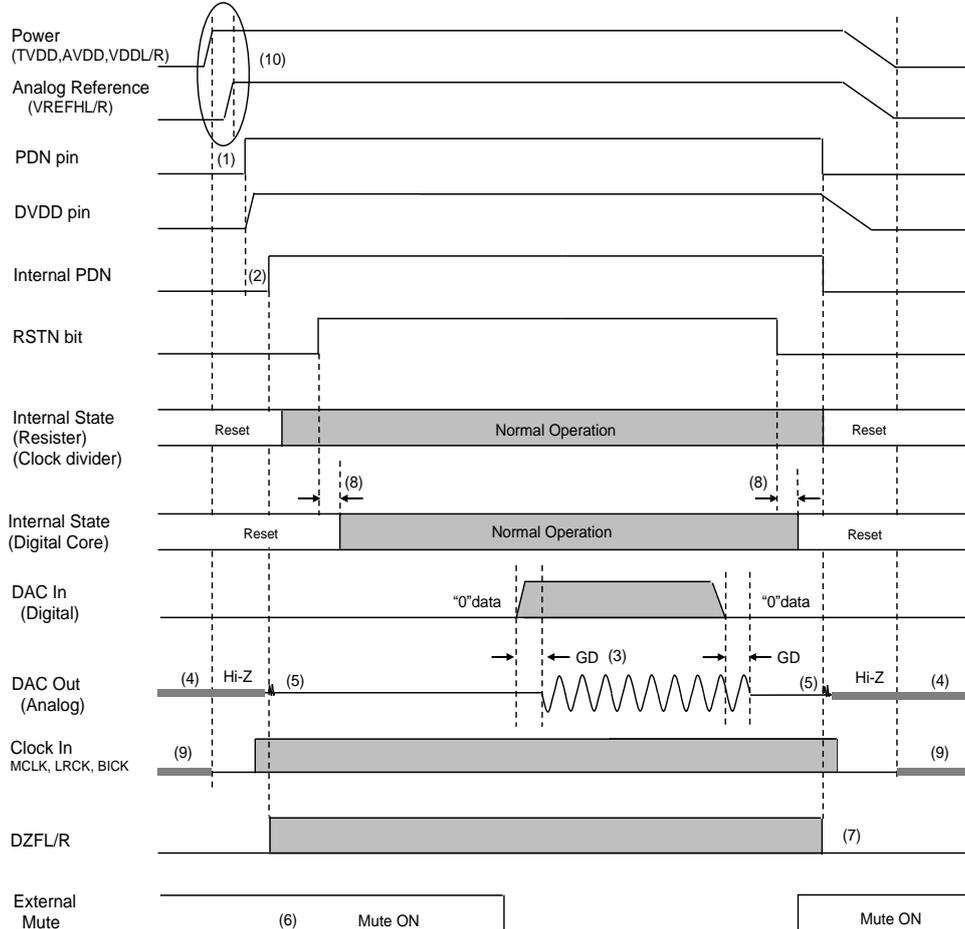
Notes:

- (1) PDN pin = “L”の状態にAVDD, TVDD, DVDD, VDDL/Rを投入し、電源投入後もPDN pinを150 nsec以上“L”にしてください。
- (2) LDOE pin = “L”の時、PDN pinが“H”になって最大1 μsec後に内部回路が動作を開始します。
- (3) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (4) パワーダウン時、アナログ出力はHi-Zです。
- (5) PDN信号のエッジ(“↓↑”)でクリックノイズが出力されることがあります。このノイズはデータが“0”の場合でも出力されます。
- (6) クリックノイズ(5)が問題になる場合はアナログ出力を外部でミュートしてください。
- (7) 電源が立ち上がっていない時、クロックは入力しないでください。
- (8) TVDD は DVDD と同時または先に立ち上げてください。VREFHL/R は、VDDL/R と同時または後に立ち上げてください。その他の電源の立ち上げ順は問いません。
- (9) TVDD は DVDD と同時または後に立ち下げてください。その他の電源の立ち下げ順は問いません。

Figure 59. Power-up/down Sequence Example (Pin Control Mode, LDOE pin = “L”)

## [2] レジスタコントロールモード(PSN pin = “L”)の場合

Figure 60に内部LDO使用時(LDOE pin = “H”)のパワーアップおよびパワーダウン時のシステムタイミング例を示します。PDN pinを“H”にした後、LDOが立ち上がり、レジスタへのアクセスが可能になります。その後、必要なクロック(PCM mode時はMCLK, LRCK, BICK、DSD mode時はMCLK, DCLK、EXDF mode時はMCLK, BCK, WCK)を供給すると動作を開始します。この時アナログ出力はアナログコモン電圧(VCM/L/R)を出力します。RSTN bit = “1”を書き込むとAK4490Rは通常動作に移行します。

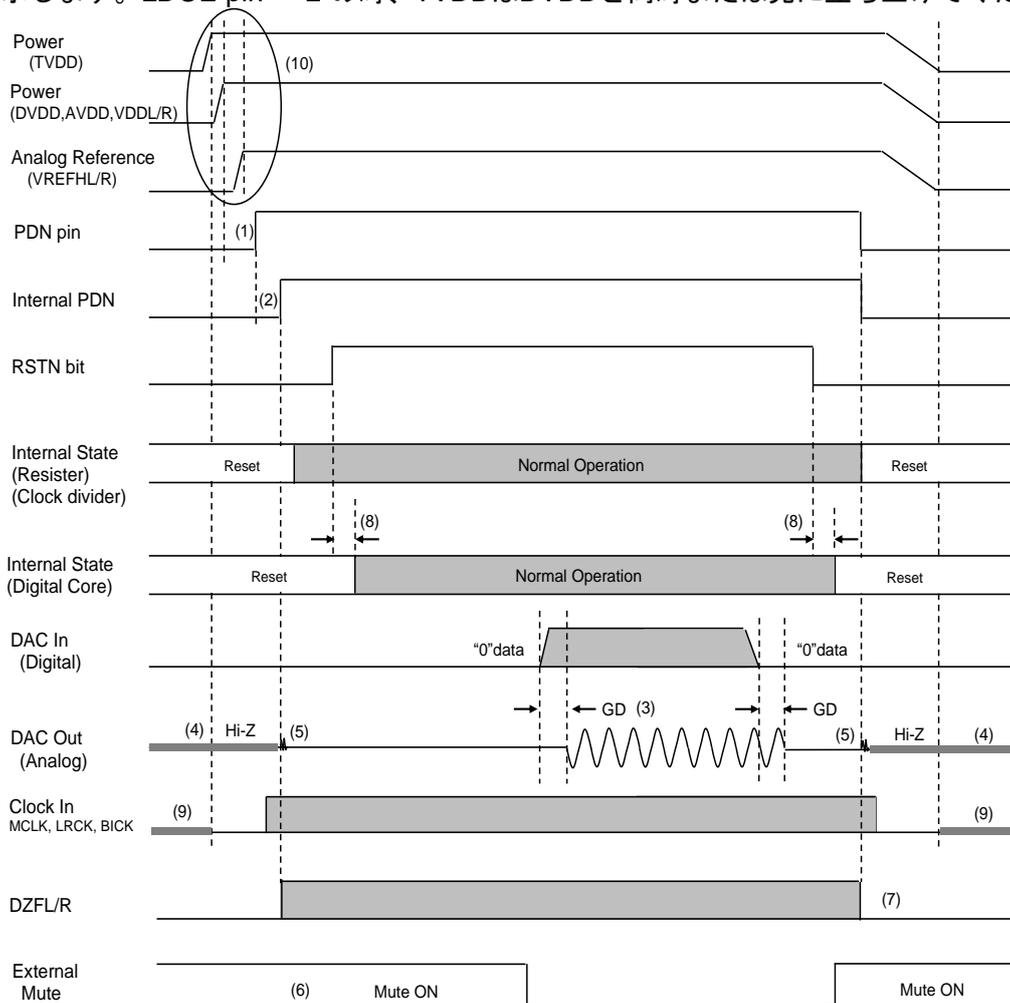


## Notes:

- (1) PDN pin = “L”の状態ではAVDD, TVDD, VDDL/Rを投入、電源投入後もPDN pinは150 nsec以上“L”にしてください。
- (2) LDOE pin = “H”の時、PDN pinが“H”になった直後からDVDD出力電圧(内部LDOで生成)が立ち上がります。PDN pinが“H”になってから最大2 msec後に内部回路が動作を開始します。
- (3) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (4) パワーダウン時、アナログ出力はHi-Zです。
- (5) PDN信号のエッジ(“↓↑”)でクリックノイズが出力されることがあります。これはデータ“0”の場合でも出力されます。
- (6) クリックノイズ(5)が問題になる場合はアナログ出力を外部でミュートしてください。
- (7) パワーダウン状態(PDN pin = “L”)では、DZFL/R pinは“L”になります。
- (8) RSTN bit 命令を書き込んでから有効となるまでに3/fs ~ 4/fs かかります。また、立ち上がり時に3/fs ~ 4/fsかかります。
- (9) 電源が立ち上がっていないとき、クロックは入力しないでください。
- (10) VREFHL/Rは、VDDL/Rと同時にまたは後に立ち上げてください。その他の電源の立ち上げ順は問いません。

Figure 60. Power-up/down Sequence Example (Register Control Mode, LDOE pin = “H”)

Figure 61に内部LDO不使用時(LDOE pin = “L”時)のパワーアップおよびパワーダウン時のシステムタイミング例を示します。LDOE pin = “L”の時、TVDDはDVDDと同時または先に立ち上げてください。



Notes:

- (1) AVDD, TVDD, DVDD, VDDL/Rを投入し、電源投入後もPDN pinを150 nsec以上“L”にしてください。
- (2) LDOE pin = “L”の時、PDN pinが“H”になって最大1  $\mu$ sec後に内部回路が動作を開始します。
- (3) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (4) パワーダウン時、アナログ出力はHi-Zです。
- (5) PDN信号のエッジ(“ $\downarrow$ ”/“ $\uparrow$ ”)でクリックノイズが出力されることがあります。このノイズはデータが“0”の場合でも出力されます。
- (6) クリックノイズ(5)が問題になる場合はアナログ出力を外部でミュートしてください。
- (7) パワーダウン状態(PDN pin = “L”)では、DZFL/R pinは“L”になります。
- (8) RSTN bitを書き込んでからLSI内部のRSTN bitが変化するまでの立ち下がり時に $3/f_s \sim 4/f_s$ かかります。また、立ち上がり時に $3/f_s \sim 4/f_s$ かかります。
- (9) 電源が立ち上がっていないとき、クロックは入力しないでください。
- (10) TVDDはDVDDと同時または先に立ち上げてください。VREFH/Lは、VDDL/Rと同時または後に立ち上げてください。その他の電源の立ち上げ順は問いません。
- (11) TVDDはDVDDと同時または後に立ち下げてください。その他の電源の立ち下げ順は問いません。

Figure 61. Power-up/down sequence example (Register Control Mode, LDOE pin = “L”)

## ■ パワーダウン・スタンバイ・リセット機能

AK4490Rには、パワーダウン、スタンバイ(MCLK停止)、スタンバイ(PW bit = "0")、リセットの4状態が存在します。それぞれの状態での内部ブロックの動作、アナログ出力状態についてTable 46に示します。

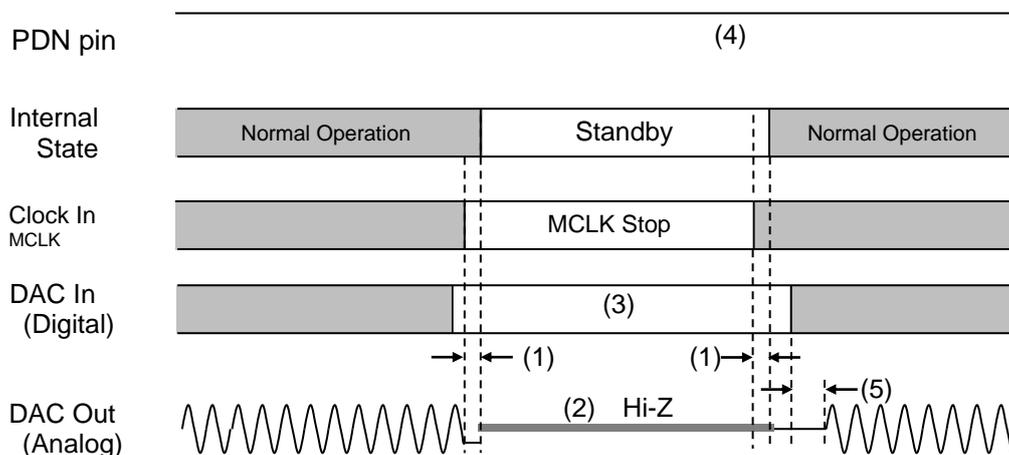
Table 46. Power Off, Reset Function

Mode	PDN pin	MCLK 供給	PW bit	RSTN bit	DIGITAL部	ANALOG部	LDO レジスタ	アナログ出力
パワーダウン	L	—	—	—	OFF	OFF	OFF	Hi-Z
スタンバイ (MCLK停止) (Note 42)	H	なし	—	—	OFF	OFF	ON	Hi-Z
スタンバイ (PW bit = "0")	H	あり	0	—	OFF	OFF	ON	Hi-Z
リセット	H	あり	1	0	OFF	ON	ON	VCML/R
通常動作	H	あり	1	1	ON	ON	ON	Signal output

Note 42. MSTBN bit = "0"のとき有効になります。MSTBN bit = "1"のときはPDN pin, PW bit, RSTN bit のみで状態が決まります。

### [1] MCLK停止によるスタンバイ

MSTBN bit = "0"に設定時、動作中(PDN pin = "H") にMCLKのエッジが入力されない状態が最小1 μsec続くとクロック停止状態と判定し、MCLK停止検出回路、コントロールレジスタ、バイアス生成回路およびLDO(LDOE pin = "H" 時)を除くすべての回路が動作停止状態になります。この時、アナログ出力はフローティング状態(Hi-Z)になります。MCLKを再入力後、PW bit = "1"、RSTN bit = "1"であれば動作を再開します。MCLKを停止しているときは、ゼロ検出機能は動作しません。



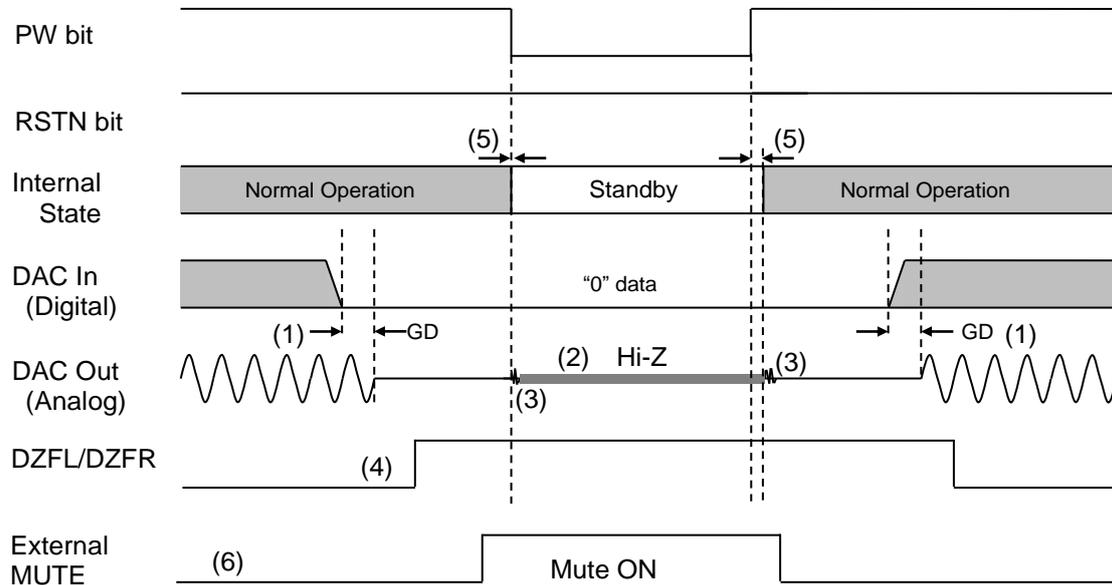
#### Notes:

- (1) MCLKのエッジが検出されない状態が最小1 μsec続くと停止状態と判定し、スタンバイ状態になります。
- (2) スタンバイ状態になると、アナログ出力はフローティング状態(Hi-Z)になります。
- (3) MCLKを停止、再供給する際は、“0”データを入力しておくことでクリックノイズを軽減できます。
- (4) MCLK停止によるスタンバイ状態から復帰する際は、MCLKを再供給してください。PDN pinによるパワーアップやPW bitによるスタンバイシーケンスは不要です。
- (5) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。

Figure 62. MCLK停止によるスタンバイ動作例

## [2] PW bitによるスタンバイ

PW bitを“0”にするとコントロールレジスタ、バイアス生成回路およびLDO(LDOE pin=“H”時)を除くすべての回路が動作停止状態になります。この時、レジスタにアクセスすることは可能です。アナログ出力はフローティング状態(Hi-Z)になります。Figure 63にPW bitによるスタンバイシーケンスを示します。



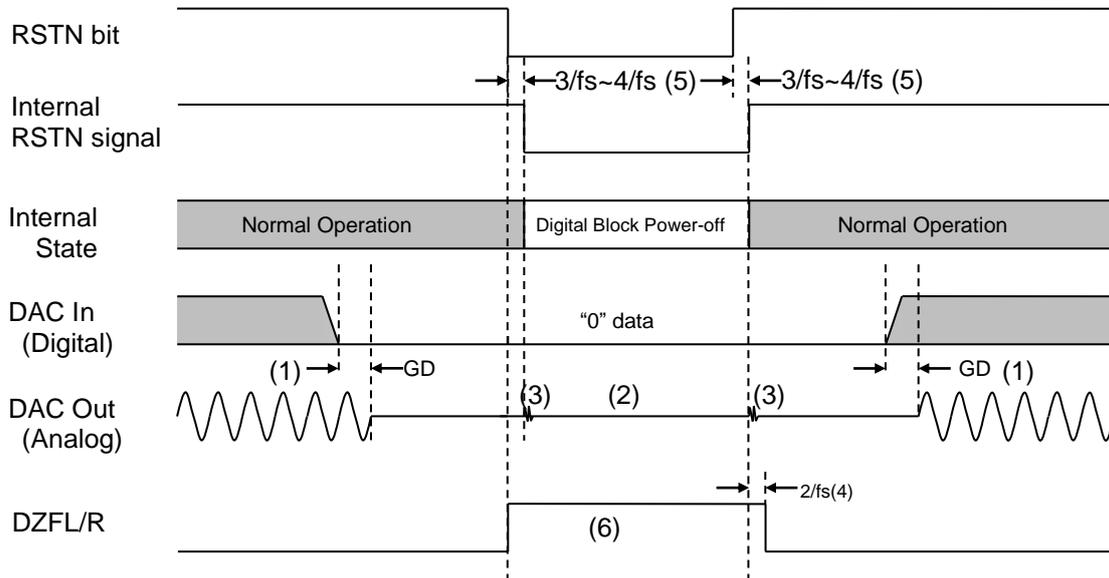
### Notes:

- (1) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (2) PW bit = “0”時アナログ出力はフローティング(Hi-Z)です。
- (3) PW bitのエッジ(“↓↑”)でクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (4) スタンバイ状態(PW bit = “0”)でも、ゼロ検出機能はEnableです。DZFE bit = “1”、DZFB bit = “0”、DZFM bit = “0”時の動作を示しています。
- (5) PW bitにスタンバイ命令を書き込むと即座に有効になります。また、スタンバイ解除命令の時は有効となるまでに $2/f_s \sim 3/f_s$ かかります。
- (6) クリックノイズ(3)またはHi-Z出力(2)が問題になる場合はアナログ出力を外部でミュートしてください。

Figure 63. PW bitによるスタンバイタイミング例

### [3] RSTN bitによるリセット

RSTN bitを“0”にするとコントロールレジスタ、クロック分周回路を除くデジタル部がリセットされます。この時、コントロールレジスタの設定値は保持され、アナログ出力はVCML/R電圧になり、DZFL/DZFR pinは“H”になります。Figure 64にRSTN bitによるリセットシーケンスを示します。



#### Notes:

- (1) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (2) RSTN bit = “0”時アナログ出力はVCML/R電圧です。
- (3) 内部RSTN信号のエッジ(“↓↑”)でクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (4) DZFE bit= “1”、DZFB bit= “0”、DZFM bit= “0”時の動作を示しています。DZFL/R pinはRSTN bitの立ち下がりエッジで“H”になり、LSI内部のRSTN bitの立ち上がりエッジの1/fs後“L”になります。
- (5) RSTN bitにリセット命令を書き込んでから有効となるまでに3/fs ~ 4/fsかかります。また、リセット解除命令のときは有効となるまでに3/fs ~ 4/fsかかります。
- (6) クリックノイズ(3)が問題になる場合はアナログ出力を外部でミュートしてください。

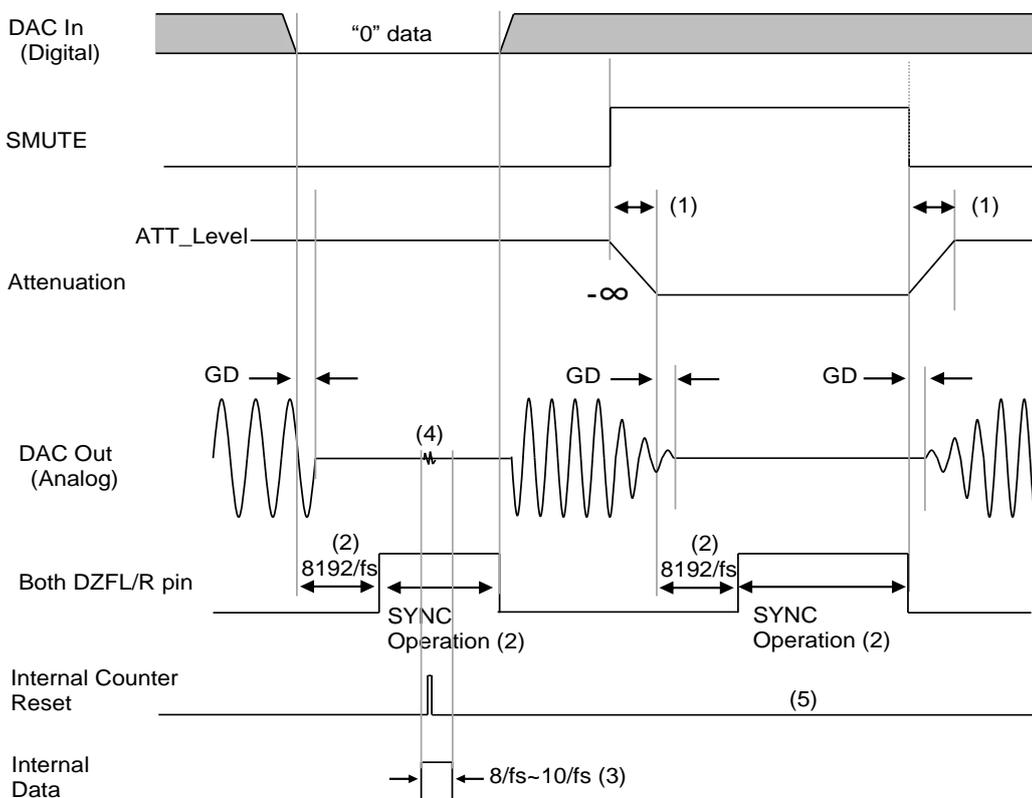
Figure 64. RSTN bitによるリセットタイミング例

## ■ 同期化機能 (PCM, EXDF Mode)

AK4490R は内部カウンタと外部クロックのエッジのタイミング関係が一定の範囲になるよう、内部カウンタをリセットする機能を備えています。AK4490R を複数使用する場合に本機能を使用すると、各デバイス間の群遅延を  $4/256\text{fs}$  以内に揃えることが可能です。

PCM modeもしくはEXDF mode時に、両方のチャンネルの入力データが8192回連続して“0”の場合、アテンション設定により両方のチャンネルのデータが8192回連続して“0”になった場合、もしくはRSTN bit = “0”の場合に、クロック同期化動作を行います。PCM mode時はLRCKの立上がりエッジ(データフォーマットI<sup>2</sup>S mode時は立下がりエッジ)に同期させ、EXDF mode時はWCKの立上がりエッジに同期させます。このとき、アナログ出力はVCML/R電圧になります。

本機能はレジスタコントロールモード時にSYNCE bit = “0”を設定すると無効になります。Figure 65に入力データが8192回連続して“0”の場合の同期化シーケンス、Figure 66にRSTN bitを用いた同期化シーケンスを示します。

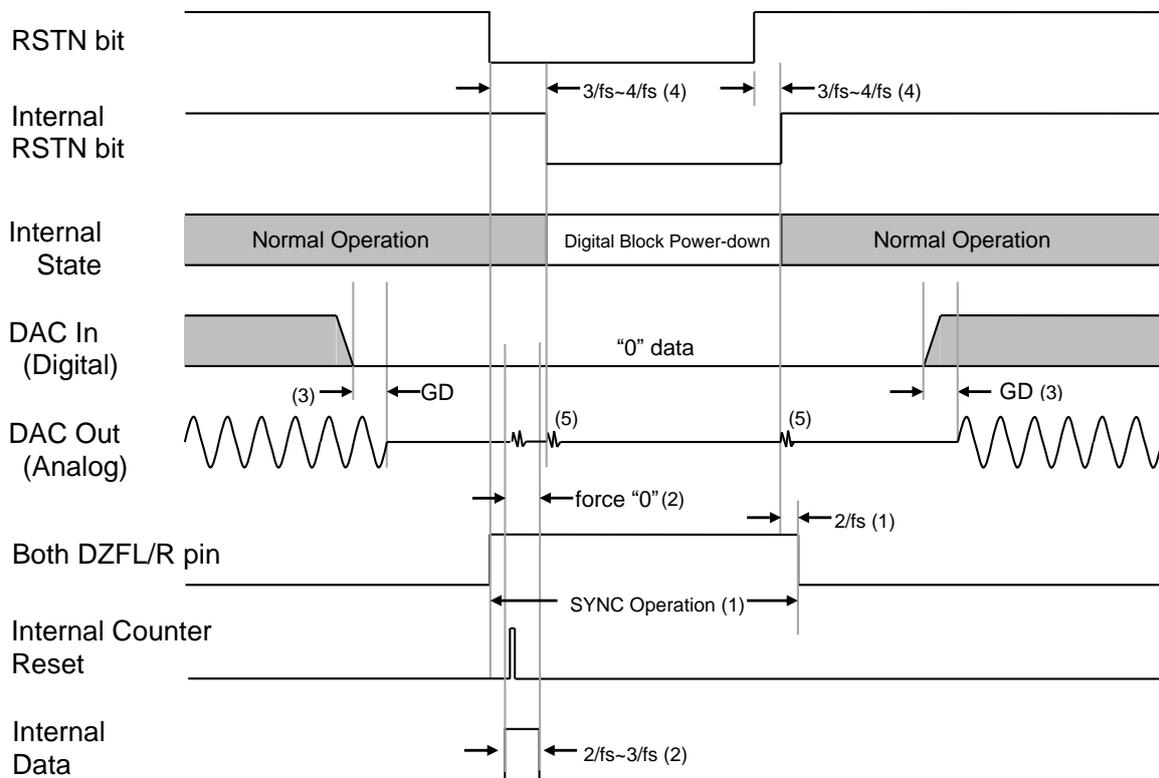


### Notes:

- (1) ATTの遷移時間についてはTable 30を参照してください。
- (2) 両方のチャンネルの入力データが8192回連続して“0”の場合、DZFL/R pinが“H”になり、同期化機能は有効になります。
- (3) 内部カウンタリセット時は $8/\text{fs} \sim 10/\text{fs}$ の間、 $\Delta\Sigma$ モジュレータの入力データを強制的に“0”に固定します。
- (4) 内部カウンタリセット時にクリックノイズが出力されることがあります。このノイズはデータが“0”の場合でも出力されます。クリックノイズが問題になる場合はアナログ出力を外部でミュートしてください。
- (5) 内部クロックと外部クロック入力同期している場合は、同期化機能が有効であってもカウンタリセットはされません。

Figure 65. 入力データが8192回連続して“0”の場合の同期化シーケンス

RSTN bit を“0”にすると DZFL/DZFR pin は“H”になり、その後  $3/f_s \sim 4/f_s$  後に DAC がリセットされアナログ出力が VCML/R 電圧になります。同期化機能は両方の DZFL/DZFR pin が “H”になると有効になります。



## Notes:

- (1) DZFL/R pinはRSTN bitの立ち下がりエッジで“H”になり、LSI内部のRSTN bitの立ち上がりエッジの $2/f_s$ 後“L”になります。この間、同期化機能は有効になります。
- (2) 内部カウンタリセット時は $2/f_s \sim 3/f_s$ の間、 $\Delta\Sigma$ モジュレータの入力データを強制的に“0”に固定します。
- (3) デジタル入力に対してアナログ出力は群遅延(GD)を持つため、RSTN bitに“0”を書き込む際は群遅延期間以上の間無入力状態にしておくことを推奨します。
- (4) RSTN bitを書き込んでからLSI内部のRSTN信号が変化するまでの立ち下がり時に $3/f_s \sim 4/f_s$ かかります。また、立ち上がり時に $3/f_s \sim 4/f_s$ かかります。同期化機能はRSTN bit = “0”の書き込みと同時に有効になるため、LSI内部のRSTN信号が“0”に変化する前に内部カウンタがリセットされる場合があります。
- (5) 内部RSTN信号のエッジ(“ $\downarrow$ ”)や内部カウンタリセット時にクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。クリックノイズが問題になる場合はアナログ出力を外部でミュートしてください。
- (6) 同期化を確実にを行うため、同期化機能が有効になってから最低500  $\mu\text{sec}$ はリセット状態を保ってください。

Figure 66. RSTN bitを用いた同期化シーケンス

## ■ レジスタコントロールインタフェース

AK4490Rは、3線レジスタ設定コントロールモードとI<sup>2</sup>Cバスコントロールモードの2つのレジスタコントロールインタフェースを選択できます。インタフェースモードの選択はI2C pinにて行います(Table 47)。I2C pinの設定変更は、PDN pin = “L”の状態で行ってください。PDN pin = “H”時に変更した場合、回路が誤動作する可能性があります。

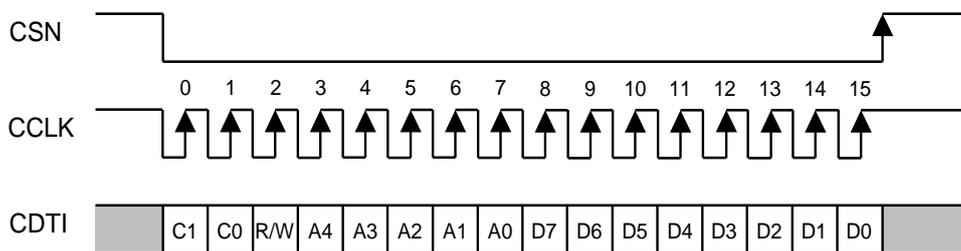
PDN pinを“L”にすると内部レジスタ値が初期化されます。また、レジスタコントロールモードではRSTN bitに“0”を書き込むとコントロールレジスタ、クロック分周回路を除くデジタル部がリセットされます。ただし、このときレジスタの内容は初期化されません。

Table 47. Register Control Interface Mode Select

I2C pin	Mode
L	3線レジスタ設定コントロールモード
H	I <sup>2</sup> Cバスコントロールモード

### [1] 3線レジスタ設定コントロールモード (I2C pin = “L”)

このモードでは3線式I/F pin: CSN, CCLK, CDTIで書き込みを行います。I/F上のデータはChip address (2-bit, C1/0), Read/Write (1-bit, “1”固定, Write only), Register address (MSB first, 5-bit)とControl data (MSB first, 8-bit)で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↑”で有効になります。CCLKのクロックスピードは5 MHz (max)です。



C1-C0: Chip Address (C1 bit = CAD1 pin, C0 bit = CAD0 pin)  
 R/W: READ/WRITE (Fixed to “1”, Write only)  
 A4-A0: Register Address  
 D7-D0: Control Data

Figure 67. Control I/F Timing

#### Notes:

- (1) 3線式コントロールモード時、AK4490Rはデータ読み出しをサポートしません。
- (2) PDN pin = “L”時、コントロールレジスタへの書き込みはできません。
- (3) CSNが“L”期間中にCCLKの“↑”が15回以下または17回以上の場合にはデータは書き込まれません。

## [2] I<sup>2</sup>Cバスコントロールモード (I<sup>2</sup>C pin = “H”)

AK4490RのI<sup>2</sup>Cバスモードのフォーマットは、Fast-modeに対応しています。

### (1) WRITE命令

I<sup>2</sup>Cバスモードにおけるデータ書き込みシーケンスはFigure 68に示されます。バス上のICへのアクセスには、最初に開始条件(Start Condition)を入力します。SCLラインが“H”の時にSDAラインを“H”から“L”にすると、開始条件が作られます。開始条件の後、スレーブアドレスが送信されます。このアドレスは7-bitから構成され、8bit目にはデータ方向ビット(R/W)が続きます。上位5-bitは“00100”固定、次の2-bitはアクセスするICを選ぶためのアドレスビットで、CAD1, CAD0 pinにより設定されます(Figure 69)。アドレスが一致した場合、AK4490Rは確認応答(Acknowledge)を生成し、命令が実行されます。マスタは確認応答用のクロックパルスを生成し、SDAラインを解放しなければなりません(Figure 75)。R/Wビットが“0”の場合はデータ書き込み、R/Wビットが“1”の場合はデータ読み出しを行います。

第2バイトはサブアドレス(レジスタアドレス)です。サブアドレスは8-bit、MSB firstで構成され、上位3-bitは“0”固定です(Figure 70)。第3バイト以降はコントロールデータです。コントロールデータは8-bit、MSB firstで構成されます(Figure 71)。AK4490Rは、各バイトの受信を完了するたびに確認応答を生成します。データ転送は、必ずマスタが生成する停止条件(Stop Condition)によって終了します。SCLラインが“H”の時にSDAラインを“L”から“H”にすると、停止条件が作られます(Figure 74)。

AK4490Rは複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後、停止条件を送らず更にデータを送ると、サブアドレスが自動的にインクリメントされ、次のデータは次のサブアドレスに格納されます。アドレス“15H”を越えるデータを送ると、内部レジスタに対応するアドレスカウンタはロールオーバーし、アドレス“00H”から順に格納されます。

クロックが“H”の間は、SDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのは、SCLラインのクロック信号が“L”の時に限られます(Figure 76)。SCLラインが“H”の時にSDAラインを変更するのは、開始条件、停止条件を入力するときのみです。

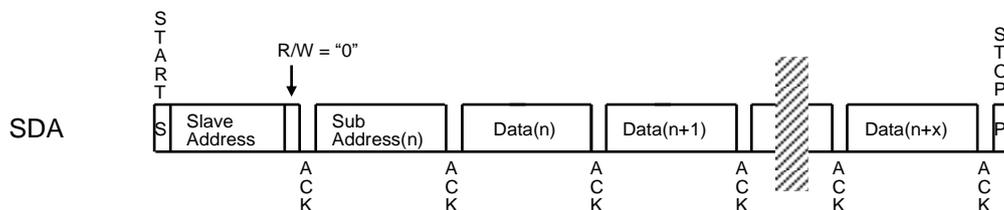
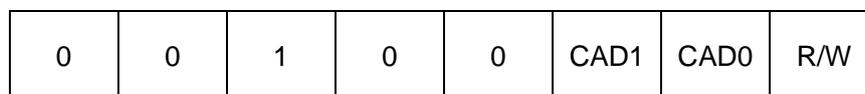


Figure 68. I<sup>2</sup>Cバスモードのデータ書き込みシーケンス



(CAD0, CAD1はpinにより設定)

Figure 69. 第1バイトの構成

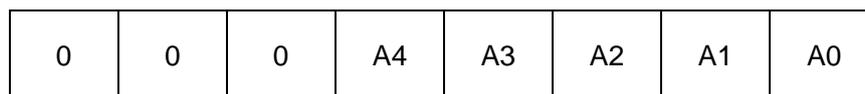


Figure 70. 第2バイトの構成

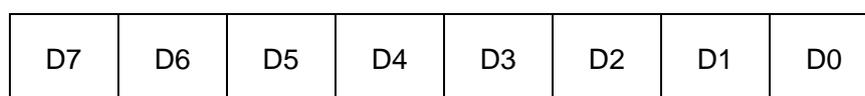


Figure 71. 第3バイト以降の構成

## (2) READ命令

R/W bitが“1”の場合、AK4490RはREAD動作を行います。指定されたアドレスのデータが出力された後、マスタが停止条件を送らず確認応答を生成すると、サブアドレスが自動的にインクリメントされ、次のアドレスのデータを読み出すことができます。アドレス“15H”のデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス“00H”のデータが読み出されます。

AK4490Rはカレントアドレスリードとランダムリードの2つのREAD命令を持っています。

### (2)-1 カレントアドレスリード

AK4490Rは内部にアドレスカウンタを持っており、カレントアドレスリードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレスカウンタは最後にアクセスしたアドレスの次のアドレス値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスが“n”であり、その後カレントアドレスリードを行った場合、アドレス“n+1”のデータが読み出されます。カレントアドレスリードでは、AK4490RはREAD命令のスレーブアドレス(R/W = “1”)の入力に対して確認応答を生成し、次のクロックから内部のアドレスカウンタで指定されたデータを出したのち内部カウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

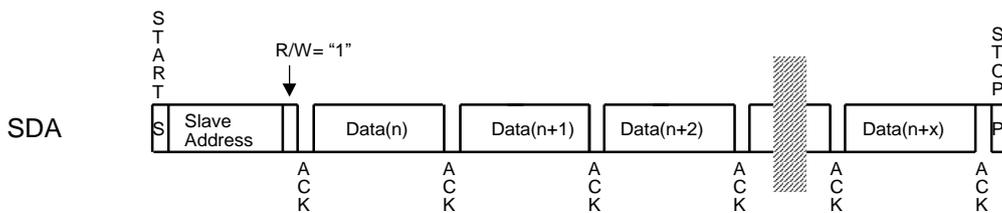


Figure 72. CURRENT ADDRESS READ 命令

### (2)-2 ランダムアドレスリード

ランダムアドレスリードにより任意のアドレスのデータを読み出すことができます。ランダムアドレスリードはREAD命令のスレーブアドレス(R/W bit = “1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。ランダムアドレスリードでは最初に開始条件を入力し、次にWRITE命令のスレーブアドレス(R/W = “0”)、読み出すアドレスを順次入力します。AK4490Rがこのアドレス入力に対して確認応答を生成した後、再送条件、READ命令のスレーブアドレス(R/W bit = “1”)を入力します。AK4490Rはこのスレーブアドレスの入力に対して確認応答を生成し、指定されたアドレスのデータを出し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

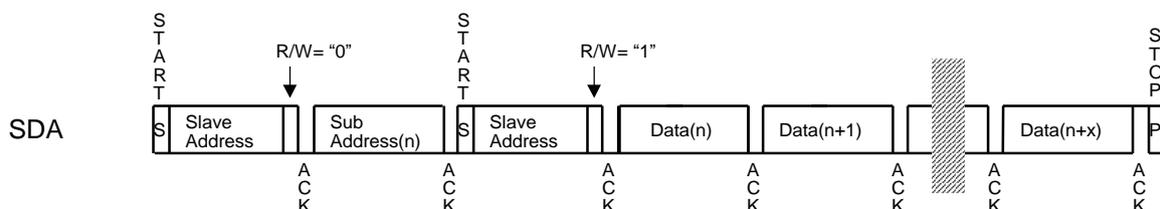


Figure 73. RANDOM ADDRESS READ 命令

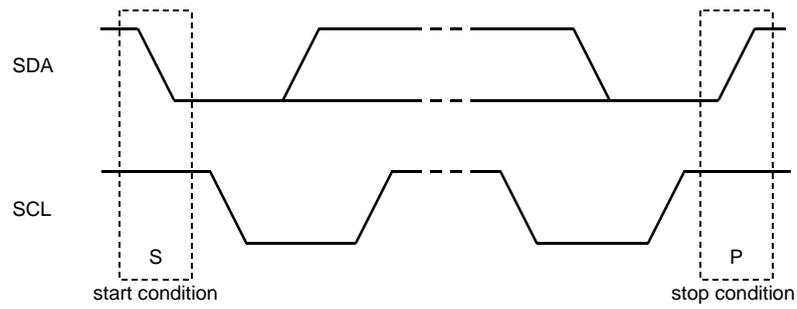


Figure 74. 開始条件と停止条件

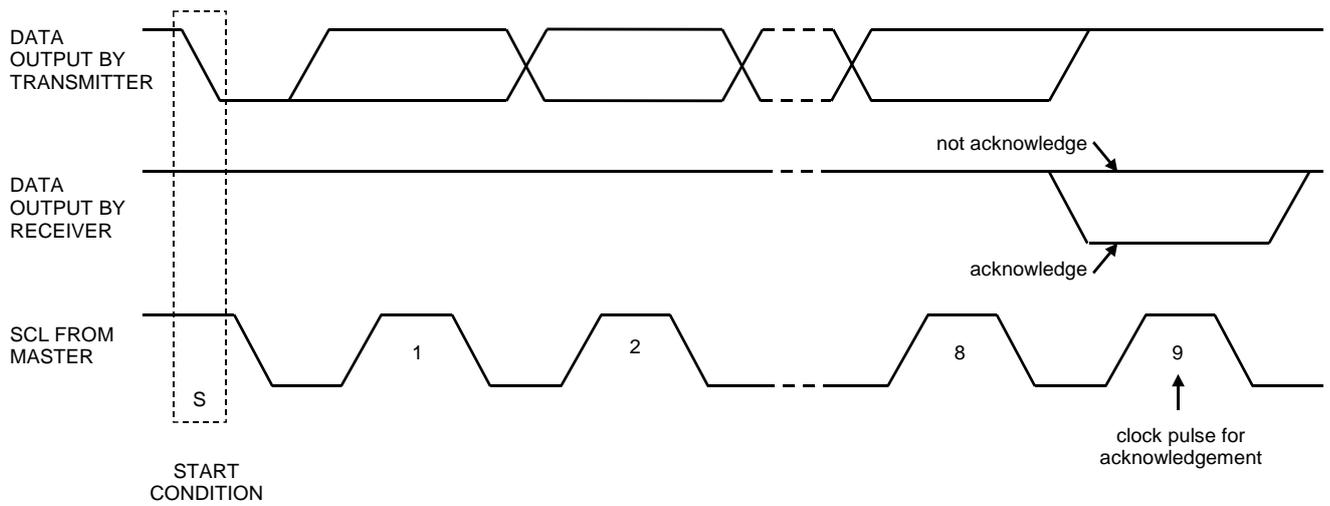


Figure 75. I<sup>2</sup>Cバスでの確認応答

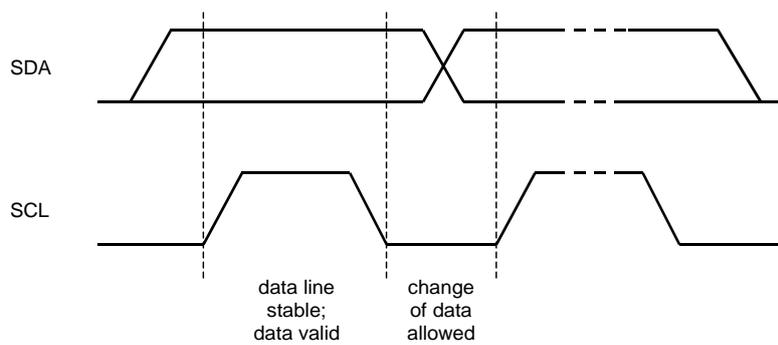


Figure 76. I<sup>2</sup>Cバスでのビット転送

## ■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	EXDF	ECS	0	DIF2	DIF1	DIF0	RSTN
01H	Control 2	DZFE	DZFM	SD	DFS1	DFS0	DEM1	DEM0	SMUTE
02H	Control 3	DP	ADP	DCKS	DCKB	MONO	DZFB	SELLR	SLOW
03H	Lch ATT	ATTL7	ATTL6	ATTL5	ATTL4	ATTL3	ATTL2	ATTL1	ATTL0
04H	Rch ATT	ATTR7	ATTR6	ATTR5	ATTR4	ATTR3	ATTR2	ATTR1	ATTR0
05H	Control 4	INVL	INVR	0	0	0	0	DFS2	SSLOW
06H	DSD1	DDM	DML	DMR	DDMOE	DDMT1	DDMT0	DSDD	DSDSEL0
07H	Control 5	MSTBN	0	0	0	GC2	GC1	GC0	SYNCE
08H	Sound Control	0	0	0	0	0	SC2	0	0
09H	DSD2	0	0	0	0	0	0	DSDF	DSDSEL1
0AH	Control 6	TDM1	TDM0	SDS1	SDS2	0	PW	0	0
0BH	Control 7	ATS1	ATS0	0	SDS0	0	0	0	TEST
0CH	Reserved	0	0	0	0	0	0	0	0
0DH	Reserved	0	0	0	0	0	0	0	0
0EH	Reserved	0	0	0	0	0	0	0	0
0FH	Reserved	0	0	0	0	0	0	0	0
10H	Reserved	0	0	0	0	0	0	0	0
11H	Reserved	0	0	0	0	0	0	0	0
12H	Reserved	0	0	0	0	0	0	0	0
13H	Reserved	0	0	0	0	0	0	0	0
14H	Reserved	0	0	0	0	0	0	0	0
15H	Control 8	ADPE	ADPT1	ADPT0	0	0	0	0	0

## Notes:

- (1) 3線式コントロールモードではデータ読み出しをサポートしません。
- (2) I<sup>2</sup>Cバスコントロールモードでは読み出しをサポートします。
- (3) I<sup>2</sup>Cバスコントロールモードでのオートインクリメント機能は、アドレス15Hでロールオーバーし、次のアドレスカウンタ値はアドレス00Hになります。
- (4) 0CH～14Hを除く各アドレスの0、0BH: D0のTEST bitには必ず“0”を書き込んでください。“1”を書き込んだ場合、回路が誤動作する可能性があります。
- (5) アドレス16H以降への書き込みは禁止です。書き込んだ場合、回路が誤動作する可能性があります。
- (6) PDN pinを“L”にするとレジスタの内容が初期化されます。
- (7) RSTN bitに“0”を書き込むとコントロールレジスタ、クロック分周回路を除くデジタル部がリセットされますが、レジスタの内容は初期化されません。
- (8) PSN pinの設定を変更した場合は、PDN pinでAK4490Rをリセットしてください。

## ■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	EXDF	ECS	0	DIF2	DIF1	DIF0	RSTN
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	1	1	0	0

RSTN: Internal Timing Reset

0: Reset. All registers are not initialized. (default)

1: Normal Operation

DIF2-0: Audio Data Interface Modes ([Table 22](#))

初期値は“110” (Mode 6: 32-bit 前詰め)です。

ECS: EXDF mode clock setting ([Table 21](#))

0: WCK = 768kHz mode (default)

1: WCK = 384kHz mode

EXDF: External Digital Filter I/F Mode (Register Control mode only)

0: Disable: Internal Digital Filter mode (default)

1: Enable: External Digital Filter mode

ACKS: Master Clock Frequency Auto Setting Mode Enable (PCM & EXDF mode only). ([Table 5](#), [Table 14](#),)

0: Disable: Manual Setting Mode (default)

1: Enable: Auto Setting Mode

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Control 2	DZFE	DZFM	SD	DFS1	DFS0	DEM1	DEM0	SMUTE
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	1	0	0	0	1	0

- SMUTE:** Soft Mute Enable  
0: Normal Operation (default)  
1: DAC outputs soft-muted.
- DEM1-0:** De-emphasis Filter Control ([Table 27](#))  
初期値は“01” (OFF)です。
- DFS1-0:** Sampling Speed Control. ([Table 7](#), [Table 11](#))  
初期値は“000” (Normal Speed)です。DFS2-0 bitsを切り替えた場合、クリックノイズが発生します。
- SD:** Short delay Filter Enable. ([Table 25](#))  
0: Traditional filter (SSLOW = “0”) Super Slow Roll-off (SSLOW = “1”)  
1: Short delay filter (default, SSLOW = “0”) Low Dispersion Filter (SSLOW = “1”)
- DZFM:** Data Zero Detect Mode  
0: Channel Separated Mode (default)  
1: Channel ANDed Mode  
DZFM bitを“1”にすると両チャンネルの入力データが8192回連続して“0”の場合のみ、両チャンネルのDZF pinが“H”になります。
- DZFE:** Data Zero Detect Enable  
0: Disable (default)  
1: Enable  
Zero detect function can be disabled by DZFE bit “0”. In this case, the DZF pins of both channels are always “L”.

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Control 3	DP	ADP	DCKS	DCKB	MONO	DZFB	SELLR	SLOW
	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

SLOW: Slow Roll-off Filter Enable. (Table 25)

0: Slow roll-off filter disable (default)

1: Slow roll-off filter

SELLR: The data selection of L channel and R channel when Mono mode

0: All channel output L channel data, when Mono mode. (default)

L channel output L channel data, R channel data output R channel data (default)

1: All channel output R channel data, when Mono mode.

L channel output R channel data, R channel data output L channel data

DZFB: Inverting Enable of DZF. (Table 32)

0: DZF pin goes "H" at Zero Detection (default)

1: DZF pin goes "L" at Zero Detection

MONO: Mono mode Stereo mode select

0: Stereo mode (default)

1: Mono mode

DCKB: Polarity of DCLK (DSD Only)

0: DSD data is output from DCLK falling edge. (default)

1: DSD data is output from DCLK rising edge.

DCKS: Master Clock Frequency Select at DSD mode (DSD only)

0: 512fs (default)

1: 768fs

ADP: 内部動作モードのread back用レジスタ。本レジスタはADPE bit = "1"の時に有効です。

ADPE bit = "0"の場合は無効で、readすると"0"を読み出します。

0: PCM mode/EXDF mode

1: DSD mode

DP: DSD/PCM Mode Select

0: PCM mode (default)

1: DSD mode

DP bitの設定を変更した場合は、RSTN bitでAK4490Rをリセットしてください。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Lch ATT	ATTL7	ATTL6	ATTL5	ATTL4	ATTL3	ATTL2	ATTL1	ATTL0
04H	Rch ATT	ATTR7	ATTR6	ATTR5	ATTR4	ATTR3	ATTR2	ATTR1	ATTR0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	1	1	1	1	1	1	1	1

ATTL7-0: Attenuation Level

ATTR7-0: Attenuation Level

255 levels 0.5 dB step + mute

Data	Attenuation
FFH	0 dB (default)
FEH	-0.5 dB
FDH	-1.0 dB
:	:
:	:
02H	-126.5 dB
01H	-127.0 dB
00H	MUTE ( $-\infty$ )

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	Control 4	INVL	INVR	0	0	0	0	DFS2	SSLOW
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

SSLOW: Super Slow Roll Off (Digital Filter bypass mode) Enable. ([Table 25](#))

0: Disable (default)

1: Enable

DFS2: Sampling Speed Control. ([Table 11](#))

INVR: AOATR出力位相反転ビット

0: Disable (default)

1: Enable

INVL: AOATL出力位相反転ビット

0: Disable (default)

1: Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
06H	DSD1	DDM	DML	DMR	DDMOE	DDMT1	DDMT0	DSDD	DSDSELO
	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

DSDSEL1-0: DSD sampling speed control ([Table 19](#))

00: DSD64  
 01: DSD128  
 10: DSD256  
 11: DSD256

DSDD: DSD play back path control

0: Normal Path (default)  
 1: Volume Bypass

DDMT1-0: DSD信号フルスケール検出時間設定. ([Table 37](#))

DDMOE: DSDフルスケール検出信号(DMR, DML)のピン出力制御. ([Table 33](#))

DMR/DML: このレジスタは、DSDRもしくはDSDLにフルスケール信号が検出された際に、検出フラグを出力します。

DDM: DSD data mute

AK4490RはDSD dataが2048sample(1/fs)の期間すべて“1”, “0”となったとき内部で出力をミュートする機能があります。このレジスタはその機能を有効にすることができます。

0: Disable (default)  
 1: Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
07H	Control 5	MSTBN	0	0	0	GC2	GC1	GC0	SYNCE
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	1

SYNCE: SYNC Mode Enable  
 0: SYNC Mode Disable  
 1: SYNC Mode Enable (default)

GC2-0: PCM, DSD mode Gain Control ([Table 31](#))  
 GC2 bit is don't care register.

MSTBN: Automatically Stand-by mode Enable when MCLK is stopped.  
 0: Enable (default)  
 1: Disable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	Sound Control	0	0	0	0	0	SC2	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

SC2: Sound control. ([Table 36](#))

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
09H	DSD2	0	0	0	0	0	0	DSDF	DSDSEL 1
	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

DSDSEL1-0: DSD sampling speed control. ([Table 19](#))  
 00: DSD64  
 01: DSD128  
 10: DSD256  
 11: DSD256

DSDF: Cut-off frequency of DSD Filter control ([Table 26](#))

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0AH	Control 6	TDM1	TDM0	SDS1	SDS2	0	PW	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	1	0	0

PW: Standby Stare Control  
 0: Standby  
 1: Normal Operation (default)

SDS2-0: 各チャネルの出力データスロット選択  
 0: 通常動作  
 1: 別スロットのデータを出力 (Table 23)  
 初期値は“000”です。

TDM1-0: TDM Mode Select  
 00: Normal (default)  
 01: TDM128  
 10: TDM256  
 11: TDM512

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0BH	Control 7	ATS1	ATS0	0	SDS0	0	0	0	TEST
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

TEST: Test bit 0を必ず書き込んでください。書き込まない場合、誤動作する可能性があります。

SDS2-0: 各チャネルの出力データスロット選択  
 0: 通常動作  
 1: 別スロットのデータを出力 (Table 23)

ATS1-0: Transition Time between Set Values of ATTL/R7-0 bits (Table 30)  
 初期値は“00”です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0CH	Reserved	0	0	0	0	0	0	0	0
0DH	Reserved	0	0	0	0	0	0	0	0
0EH	Reserved	0	0	0	0	0	0	0	0
0FH	Reserved	0	0	0	0	0	0	0	0
10H	Reserved	0	0	0	0	0	0	0	0
11H	Reserved	0	0	0	0	0	0	0	0
12H	Reserved	0	0	0	0	0	0	0	0
13H	Reserved	0	0	0	0	0	0	0	0
14H	Reserved	0	0	0	0	0	0	0	0
	R/W	R	R	R	R	R	R	R	R
	Default	0	0	0	0	0	0	0	0

0CH: Reserved

0DH: Reserved

0EH: Reserved

0FH: Reserved

10H: Reserved

11H: Reserved

12H: Reserved

13H: Reserved

14H: Reserved

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
15H	Control 8	ADPE	ADPT1	ADPT0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

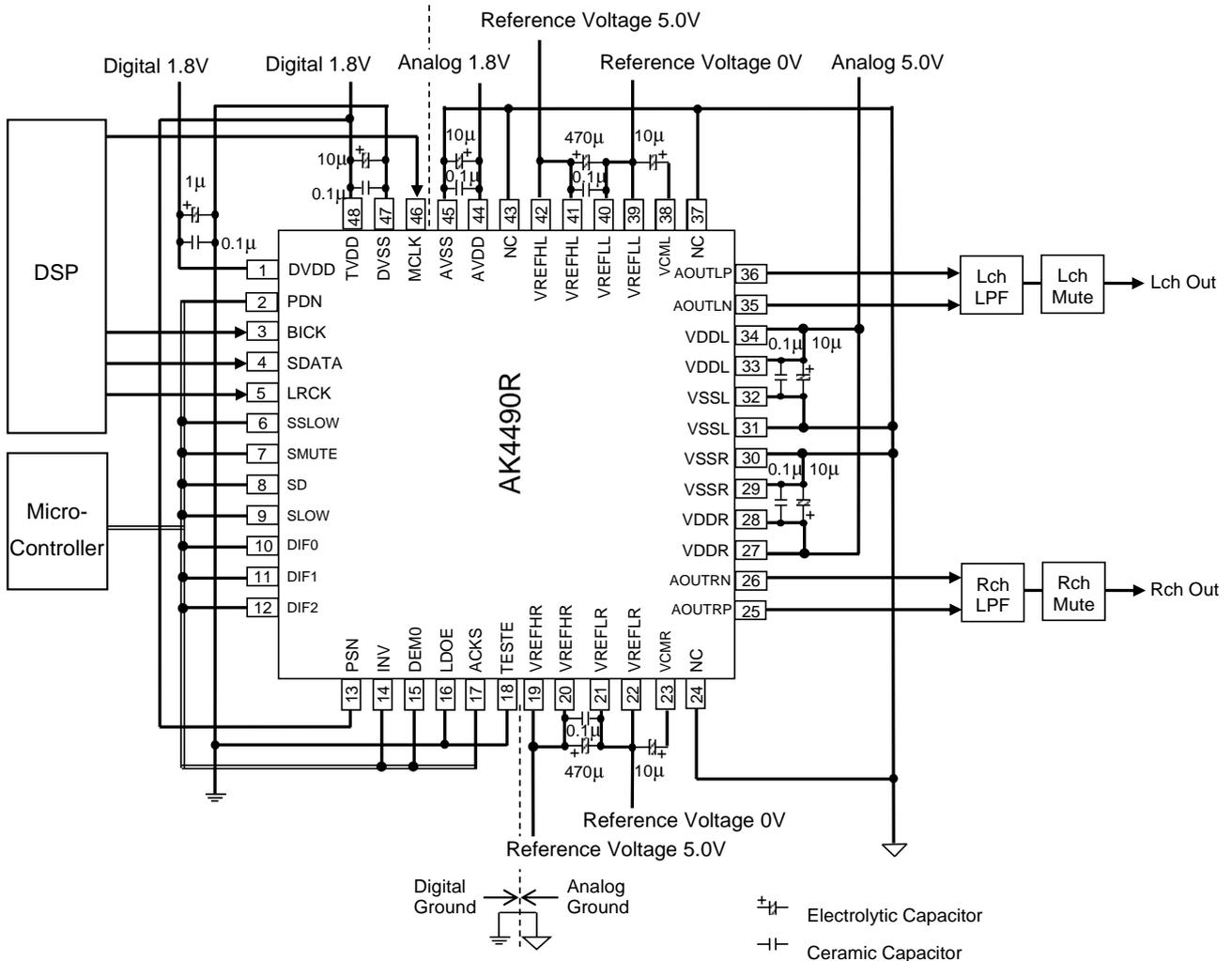
ADPT1-0: PCM/EXDF⇔DSD Mode自動切り替え機能における、モード判定を開始するまでの時間設定。  
(Table 39).

ADPE: PCM/EXDF⇔DSD Mode自動切り替え機能Enable.  
0: Disable (default)  
1: Enable

10. システム設計

■ システム設計例

[1] ピンコントロールモード、LDO不使用時

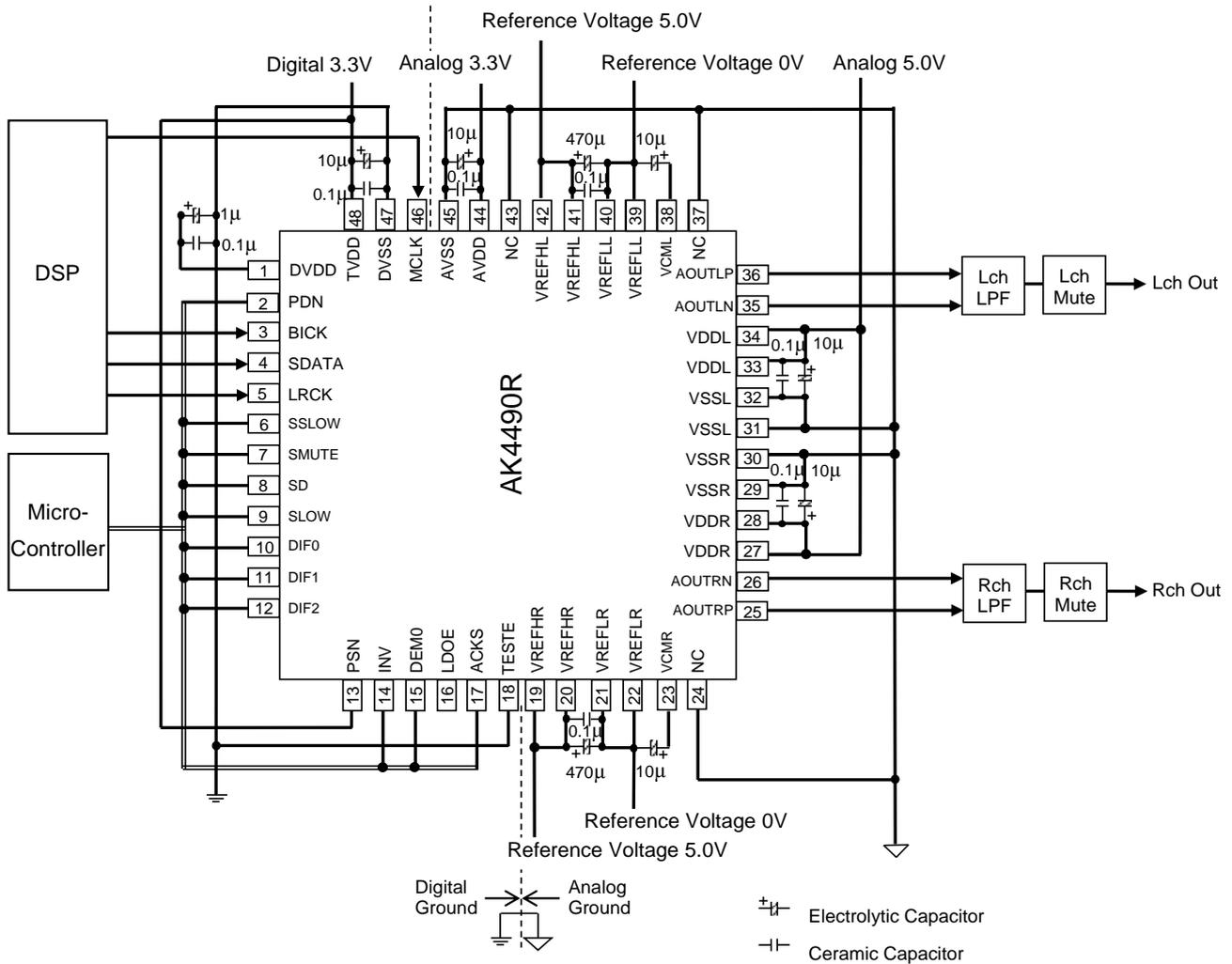


Notes:

- (1) AVDD, TVDD, VDDL/Rの配線はレギュレータ等からの低インピーダンス状態のまま分けて配線してください。
- (2) AVSS, VSSL/Rは同じアナロググランドに接続し、DVSSはデジタルグランドに接続し、アナロググランドとデジタルグランドは同電位に接続してください。アナロググランドは低インピーダンスになるようにしてください。インピーダンスが高い場合、THD+N特性が劣化する可能性があります。
- (3) MCLKの高周波ノイズでTHD+N特性が劣化する場合は、MCLKにはダンピング抵抗の実装を推奨します。
- (4) プルダウン/プルアップピン以外のデジタル入力ピンはオープンにしないでください。

Figure 77. Typical Connection Diagram  
(AVDD = TVDD = 1.8 V, VDDL/R = 5.0 V, DVDD = 1.8 V, LDOE pin = "L", Pin Control Mode)

[2] ピンコントロールモード、LDO使用時



Notes:

- (1) AVDD, TVDD, VDDL/Rの配線はレギュレータ等からの低インピーダンス状態のまま分けて配線してください。
- (2) AVSS, VSSL/Rは同じアナロググラウンドに接続し、DVSSはデジタルグラウンドに接続し、アナロググラウンドとデジタルグラウンドは同電位に接続してください。アナロググラウンドは低インピーダンスになるようにしてください。インピーダンスが高い場合、THD+N特性が劣化する可能性があります。
- (3) MCLKの高周波ノイズでTHD+N特性が劣化する場合は、MCLKにはダンピング抵抗の実装を推奨します。
- (4) プルダウン/プルアップピン以外のデジタル入力ピンはオープンにしないでください。
- (5) DVDD pinには1 µF(±50%: 温特含む)のコンデンサを付加してください。

Figure 78. Typical Connection Diagram  
(AVDD = TVDD = 3.3 V, VDDL/R = 5.0 V, LDOE pin = "H", Pin Control Mode)

## ■ グランドと電源のデカップリング

AK4490Rではデジタルノイズのカップリングを最小限に抑えるため、AVDD, TVDD, DVDDとVDDL/Rをデカップリングします。AVDD, VDDL/Rにはシステムのアナログ電源を供給し、TVDD, DVDDにはシステムのデジタル電源を供給してください。VDDL/Rの配線はレギュレータ等からの低インピーダンス状態のまま分けて配線してください。LDO不使用時(LDOE pin = “L”)、TVDDはDVDDと同時または先に立ち上げてください。

AVSS, VSSL/Rは同じアナロググランドに接続し、DVSSはデジタルグランドに接続し、アナロググランドとデジタルグランドは同電位に接続してください。デカップリングコンデンサ、特に小容量のセラミックコンデンサはAK4490Rにできるだけ近づけて接続します。

## ■ 基準電圧

VREFHL pinとVREFLL pin間、そしてVREFHR pinとVREFLR pin間に入力される電圧の差がアナログ出力のフルスケールを決定します。通常はVREFHL/R pinをReference Voltage 5.0 Vに接続し、VREFLL/R pinをReference Voltage 0 Vに接続します。VREFHL pinとVREFLL pin間、そしてVREFHR pinとVREFLR pin間に0.1  $\mu$ Fのセラミックコンデンサと470  $\mu$ Fの電解コンデンサを接続します。特に、セラミックコンデンサはピンにできるだけ近づけて接続してください。

VREFHL/R, VREFLL/R pinは他電源のノイズが回り込まないようにケアする必要があります。他電源のノイズが回り込みアナログ特性が出ない場合は、VREFHL/R pinは10  $\Omega$ を介してAnalog 5.0 Vに接続し、VREFLL/R pinは10  $\Omega$ を介してアナロググランドに接続してください。(470  $\mu$ Fと10  $\Omega$ で $f_c = 17$  Hzのローパスフィルタが形成されます。このローパスフィルタで他電源からの信号周波数ノイズを除去します。)

VCML/R pinの出力電圧はアナログ信号のコモン電圧として使われます。VCML/R pinの出力電圧は、 $(VREFHL/R - VREFLL/R) \times 0.5$  Vです。VCML/R pinから電流を取ってはいけません。デジタル信号、特にクロック信号ラインはAK4490Rへのカップリングを避けるため、VREFHL/R, VREFLL/R pinからできるだけ離してください。

## ■ アナログ出力

アナログ出力は全差動出力になっています。差動出力は外部で加算してください。AOUTLP/RP, AOUTLN/RNの加算電圧は $AOUTL/R = (AOUTLP/RP) - (AOUTLN/RN)$ です。VREFHL/R - VREFLL/R = 5 V、加算ゲインが1の場合、出力レンジはVCML/Rを中心に2.8 Vpp(Typ)、差動加算後の出力レンジは5.6 Vpp(Typ)です。なお、外部加算回路のバイアス電圧は外部で供給してください。

入力コードのフォーマットは2's compliment (2の補数)で、7FFFFFFFH(@ 32-bit)に対しては正のフルスケール、80000000H(@32-bit)に対しては負のフルスケール、00000000H(@ 32-bit)でのAOUTL/Rの理想値は0 V電圧が出力されます。内蔵の $\Delta\Sigma$ 変調器の帯域外ノイズ(シェーピングノイズ)は内蔵のスイッチトキャパシタフィルタ(SCF)で減衰されます。

Figure 79, Figure 80は差動出力を1個のオペアンプで加算する外部LPF回路例を示します。Figure 81は差動出力の回路例および2個のオペアンプを使った外部LPF回路例、Figure 82はMONO bit = “1”時の回路例および2個のオペアンプを使った外部LPF回路例です。外部LPFを構成する抵抗は絶対値誤差1%以下の抵抗を使用してください。

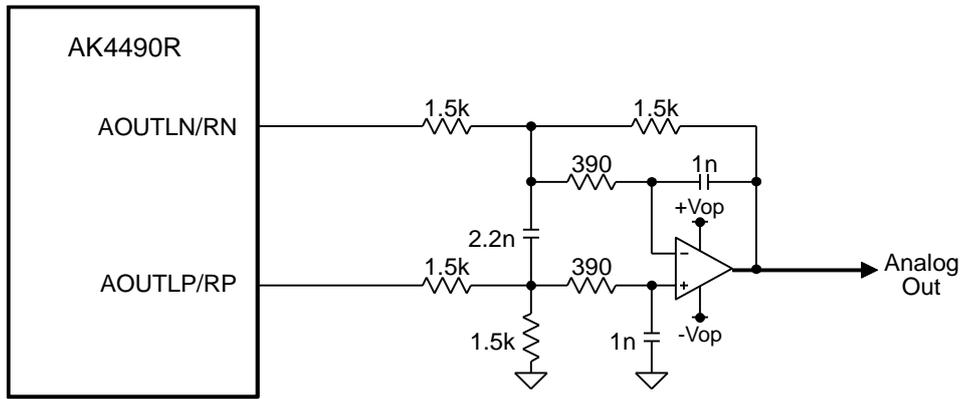


Figure 79. External LPF Circuit Example 1 ( $f_c = 99.2 \text{ kHz (Typ)}$ ,  $Q = 0.704(\text{Typ})$ )

Table 48. Frequency Response of External LPF Circuit Example 1

Gain (1 kHz, Typ)		+0.00 dB
Frequency Response (ref:1 kHz, Typ)	20 kHz	-0.01 dB
	40 kHz	-0.13 dB
	80 kHz	-1.57 dB

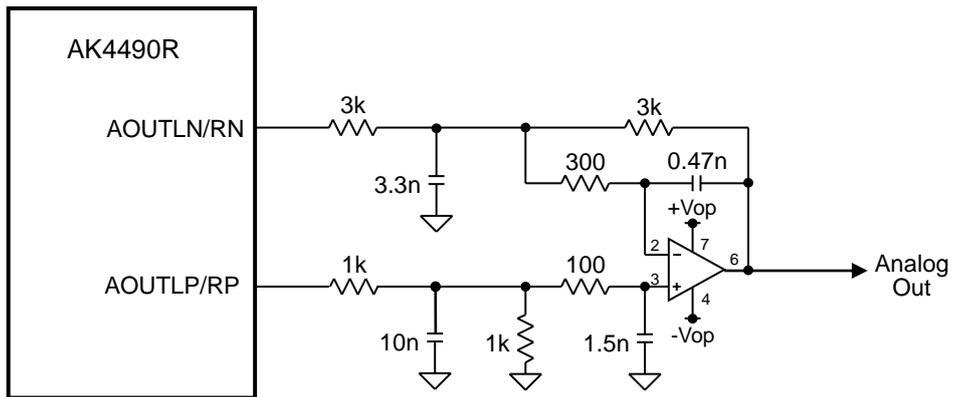


Figure 80. External LPF Circuit Example 2 ( $f_c = 132 \text{ kHz (Typ)}$ ,  $Q=0.689 (\text{Typ})$ )

Table 49. Frequency Response of External LPF Circuit Example 2

Gain (1 kHz, Typ)		+0.00 dB
Frequency Response (ref:1 kHz, Typ)	20 kHz	-0.03 dB
	40 kHz	-0.09 dB
	80 kHz	-0.62 dB

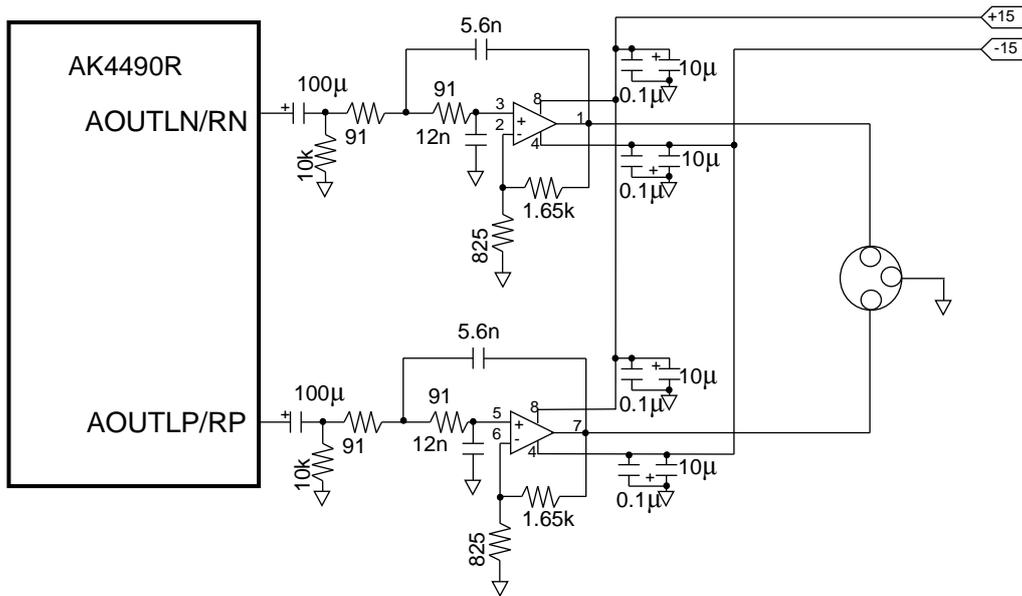


Figure 81. External LPF Circuit Example 3 ( $f_c = 178\text{kHz}(\text{typ})$ ,  $Q = 0.67(\text{typ})$ )

Table 50. Frequency Response of External LPF Circuit Example 3

Gain (1 kHz, Typ)		+9.54 dB
Frequency Response (ref:1 kHz, Typ)	20 kHz	-0.01 dB
	40 kHz	-0.07 dB
	80 kHz	-0.34 dB

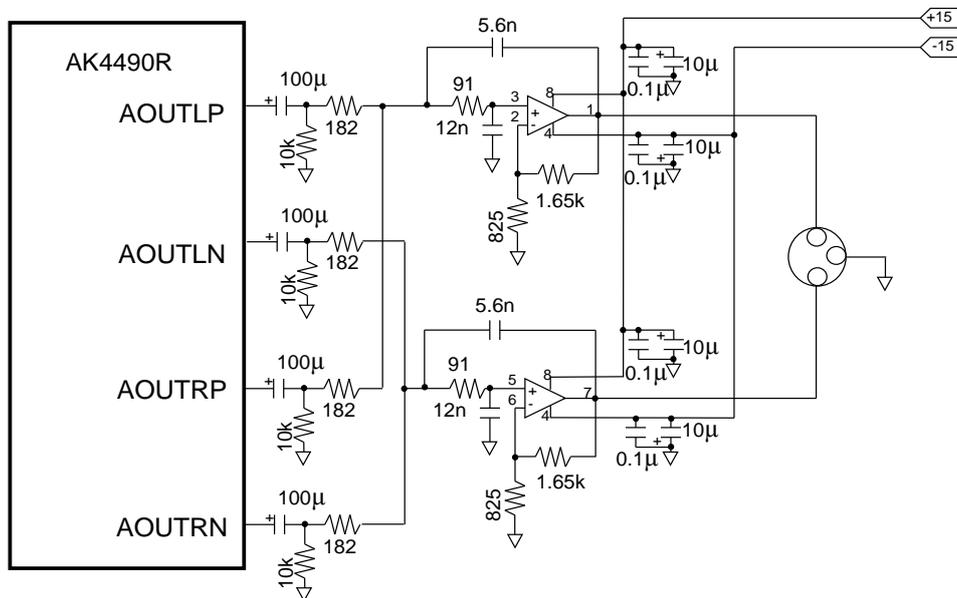
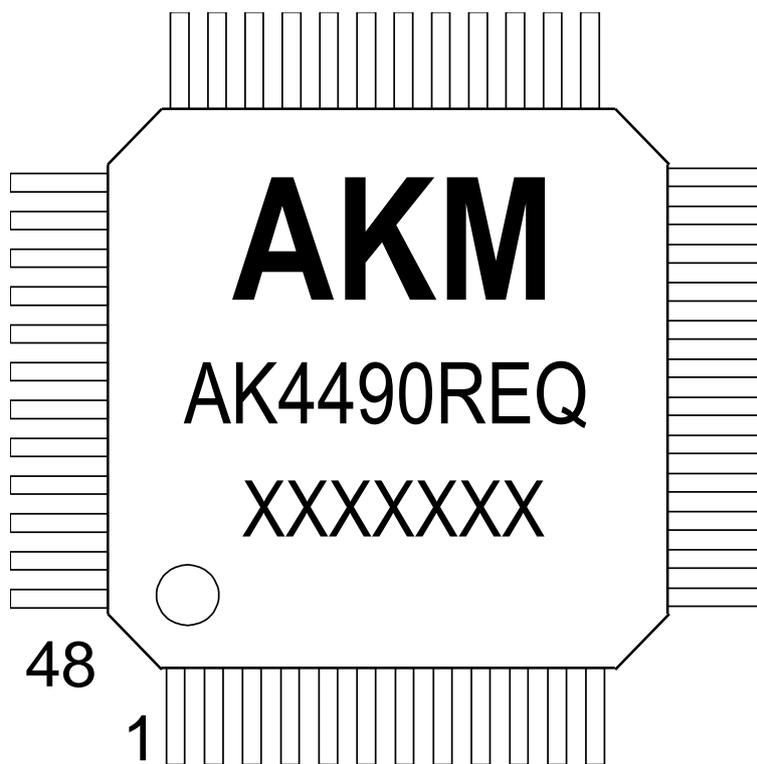


Figure 82. External LPF Circuit Example for Mono Mode ( $f_c = 178\text{ kHz}(\text{typ})$ ,  $Q = 0.67(\text{typ})$ )



■ マーキング



- 1) Pin #1 indication
- 2) Date Code: XXXXXXXX (7 digits)
- 3) Marking Code: AK4490REQ
- 4) AKM Logo

<b>12. オーダリングガイド</b>
----------------------

■ オーダリングガイド

AK4490REQ    -40 ~ +85 °C    48-pin LQFP (0.5 mm pitch)  
 AKD4490R    AK4490R評価用ボード

<b>13. 改訂履歴</b>
-----------------

Date (Y/M/D)	Revision	Reason	Page	Contents
22/02/04	00	初版		
22/02/07	01	誤記訂正	62	Figure 50 (1) RSTN bit = "0" → RSTN bit = "1"
22/03/11	02	仕様変更	10	6. 最大絶対定格 VDDL/R (Max.) 6.0 V → 5.55 V  VREFHL/R (Max.) VDDL/R+0.3 or 6.0 V → VDDL/R+0.3 or 5.55 V  Note 6. (VDDL/R + 0.3) Vまたは6.0 V → (VDDL/R + 0.3) Vまたは5.55 V
			12	8. 電気的特性 ■アナログ特性 [1] PCM Mode THD+N fs = 96 kHz (0dBFS) -19 dB → -111 dB fs = 192 kHz (0dBFS) -106 dB → -111 dB fs = 384 kHz (0dBFS) -106 dB → -111 dB fs = 768 kHz (0dBFS) -106 dB → -111 dB
		表記改善	35	9. 機能説明 Table 2 On/Off Control of standby by MCLKの項目を追加 Pin Control Mode時の内部状態を追加

**重要な注意事項**

0. 本書に記載された弊社製品（以下、「本製品」といいます。）および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際は、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替および外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。

Rev. 1